

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Inventors: Osamu ICHIKAWA

Application No.: New Patent Application

Filed: August 26, 2003

For: SEMICONDUCTOR INTEGRATED CIRCUIT AND MEMORY TEST
METHOD

CLAIM FOR PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

Sir:

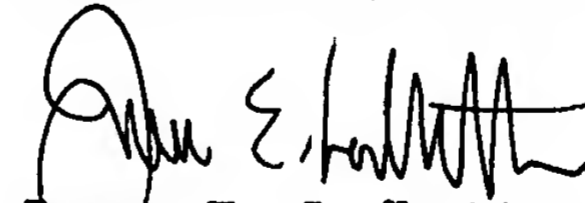
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified application and the priority provided in 35 USC 119 is hereby claimed:

Japanese Appln. No. 2002-254181, filed August 30, 2002.

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 USC 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,



James E. Ledbetter
Registration No. 28,732

Date: August 26, 2003

JEL/apg
Attorney Docket No. L8462.03109
STEVENS, DAVIS, MILLER & MOSHER, L.L.P.
1615 L Street, NW, Suite 850
P.O. Box 34387
Washington, DC 20043-4387
Telephone: (202) 785-0100
Facsimile: (202) 408-5200

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月30日

出 願 番 号

Application Number:

特願2002-254181

[ST.10/C]:

[JP2002-254181]

出 願 人

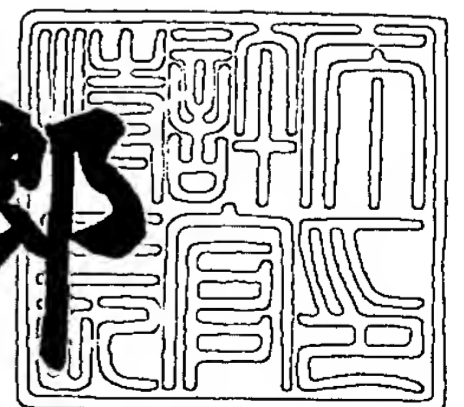
Applicant(s):

松下電器産業株式会社

2003年 6月26日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3050596

【書類名】 特許願

【整理番号】 5037540101

【あて先】 特許庁長官殿

【国際特許分類】 G06F 11/22

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地
 松下電器産業株式会社内

 【氏名】 市川 修

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100076174

 【弁理士】

 【氏名又は名称】 宮井 暎夫

【手数料の表示】

 【予納台帳番号】 010814

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9004842

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路およびメモリのテスト方法

【特許請求の範囲】

【請求項 1】 第 1 のクロックで動作するメモリと、

前記第 1 のクロックの $1/2$ の周波数の第 2 のクロックで動作し、第 1 のテストデータを生成する第 1 のテストパターン生成部と、

前記第 2 のクロックの反転クロックである第 3 のクロックで動作し、第 2 のテストデータを生成する第 2 のテストパターン生成部と、

前記第 1 のテストパターン生成部および前記第 2 のテストパターン生成部からそれぞれ出力される前記第 1 および第 2 のテストデータを、前記第 2 のクロックの信号値あるいは前記第 3 のクロックの信号値に応じて選択的に出力し、前記メモリへ第 3 のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項 2】 第 1 のクロックで動作するメモリと、

前記第 1 のクロックの $1/2$ の周波数の第 2 のクロックで動作し、第 1 のテストデータを生成する第 1 のテストパターン生成部と、

前記第 2 のクロックで動作し、第 2 のテストデータを生成する第 2 のテストパターン生成部と、

前記第 1 のテストパターン生成部および前記第 2 のテストパターン生成部からそれぞれ出力される前記第 1 および第 2 のテストデータを、前記第 2 のクロックの信号値に応じて選択的に出力し、前記メモリへ第 3 のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項 3】 第 1 のクロックで動作するメモリと、

前記第 1 のクロックの $1/2$ の周波数の第 2 のクロックで動作し、第 1 のテストデータを生成するテストパターン生成部と、

前記テストパターン生成部で生成される前記第 1 のテストデータに最下位ビットとして 0 を付加して第 2 のテストデータを生成する LSB 0 処理部と、

前記テストパターン生成部で生成される前記第 1 のテストデータに最下位ビットとして 1 を付加して第 3 のテストデータを生成する LSB 1 処理部と、

前記 L S B 0 処理部および前記 L S B 1 処理部からそれぞれ出力される前記第 2 および第 3 のテストデータを前記第 2 のクロックの信号値に応じて選択的に出力し、前記メモリへ第 4 のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項 4】 前記第 2 のクロックを遅延し、遅延クロックとして前記テストデータ選択部に与える遅延回路を設けたことを特徴とする請求項 3 に記載の半導体集積回路。

【請求項 5】 第 1 のクロックで動作するメモリと、
前記第 1 のクロックの $1/2$ の周波数の第 2 のクロックで動作し、第 1 のテストデータを生成するテストパターン生成部と、

前記テストパターン生成部で生成される前記第 1 のテストデータに最下位ビットとして 0 を付加して第 2 のテストデータを生成する L S B 0 処理部と、

前記テストパターン生成部で生成される前記第 1 のテストデータに最下位ビットとして 1 を付加して第 3 のテストデータを生成する L S B 1 処理部と、

前記第 2 のクロックと前記第 2 のクロックの反転クロックとのいずれか一方を選択できるクロック選択部と、

前記 L S B 0 処理部および前記 L S B 1 処理部からそれぞれ出力される前記第 2 および第 3 のテストデータを前記クロック選択部の出力に応じて選択的に出力し、前記メモリへ第 4 のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項 6】 第 1 のクロックで動作するメモリと、
前記第 1 のクロックに同期して前記メモリから出力される第 1 の出力データを、前記第 1 のクロックの $1/2$ の周波数の第 2 のクロックによって取り込む記憶素子と、

前記第 2 のクロックによって動作し、前記記憶素子から出力される第 2 の出力データと、前記第 1 の出力データの直後に前記メモリから出力される第 3 の出力データとを、それぞれ所定の期待値と比較する期待値比較部とを備えた半導体集積回路。

【請求項 7】 第 1 のクロックで動作するダブルデータレートメモリと、

前記第 1 のクロックと同じ周波数の第 2 のクロックで動作し、第 1 のテストデータを生成する第 1 のテストパターン生成部と、

前記第 2 のクロックの反転クロックである第 3 のクロックで動作し、第 2 のテストデータを生成する第 2 のテストパターン生成部と、

前記第 1 のテストパターン生成部および前記第 2 のテストパターン生成部からそれぞれ出力される前記第 1 および第 2 のテストデータを、前記第 2 のクロックの信号値あるいは前記第 3 のクロックの信号値に応じて選択的に出力し、前記ダブルデータレートメモリへ第 3 のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項 8】 第 1 のクロックで動作するダブルデータレートメモリと、

前記第 1 のクロックと同じ周波数の第 2 のクロックで動作し、第 1 のテストデータを生成する第 1 のテストパターン生成部と、

前記第 2 のクロックで動作し、第 2 のテストデータを生成する第 2 のテストパターン生成部と、

前記第 1 のテストパターン生成部および前記第 2 のテストパターン生成部からそれぞれ出力される前記第 1 および第 2 のテストデータを、前記第 2 のクロックの信号値に応じて選択的に出力し、前記ダブルデータレートメモリへ第 3 のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項 9】 第 1 のクロックで動作するダブルデータレートメモリと、

前記第 1 のクロックと同じ周波数の第 2 のクロックで動作し、第 1 のテストデータを生成するテストパターン生成部と、

前記テストパターン生成部で生成される前記第 1 のテストデータに最下位ビットとして 0 を付加して第 2 のテストデータを生成する L S B 0 処理部と、

前記テストパターン生成部で生成される前記第 1 のテストデータに最下位ビットとして 1 を付加して第 3 のテストデータを生成する L S B 1 処理部と、

前記 L S B 0 処理部および前記 L S B 1 処理部からそれぞれ出力される前記第 2 および第 3 のテストデータを前記第 2 のクロックの信号値に応じて選択的に出力し、前記ダブルデータレートメモリへ第 4 のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項 1 0】 前記第 2 のクロックを遅延し、遅延クロックとして前記テストデータ選択部に与える遅延回路を設けたことを特徴とする請求項 9 に記載の半導体集積回路。

【請求項 1 1】 第 1 のクロックで動作するダブルデータレートメモリと、
前記第 1 のクロックと同じ周波数の第 2 のクロックで動作し、第 1 のテストデータを生成するテストパターン生成部と、

前記テストパターン生成部で生成される前記第 1 のテストデータに最下位ビットとして 0 を付加して第 2 のテストデータを生成する L S B 0 処理部と、

前記テストパターン生成部で生成される前記第 1 のテストデータに最下位ビットとして 1 を付加して第 3 のテストデータを生成する L S B 1 処理部と、

前記第 2 のクロックと前記第 2 のクロックの反転クロックとのいずれか一方を選択できるクロック選択部と、

前記 L S B 0 処理部および前記 L S B 1 処理部からそれぞれ出力される前記第 2 および第 3 のテストデータを前記クロック選択部の出力に応じて選択的に出力し、前記ダブルデータレートメモリへ第 4 のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項 1 2】 第 1 のクロックで動作するダブルデータレートメモリと、
前記第 1 のクロックに同期して前記ダブルデータレートメモリから出力される第 1 の出力データを、前記第 1 のクロックと同じ周波数の第 2 のクロックによって取り込む記憶素子と、

前記第 2 のクロックによって動作し、前記記憶素子から出力される第 2 の出力データと、前記第 1 の出力データの直後に前記ダブルデータレートメモリから出力される第 3 の出力データとを、それぞれ所定の期待値と比較する期待値比較部とを備えた半導体集積回路。

【請求項 1 3】 第 1 のクロックで動作するメモリのテスト方法であって、
前記第 1 のクロックの $1/2$ の周波数の第 2 のクロックで第 1 のテストデータを生成するとともに、前記第 2 のクロックの反転クロックである第 3 のクロックで第 2 のテストデータを生成し、前記第 1 および第 2 のテストデータを、前記第 2 のクロックの信号値あるいは前記第 3 のクロックの信号値に応じて選択して前

記メモリへ第3のテストデータとして入力することを特徴とするメモリのテスト方法。

【請求項14】 第1のクロックで動作するメモリのテスト方法であって、
前記第1のクロックの1/2の周波数の第2のクロックで第1のテストデータを生成し、前記第1のテストデータに最下位ビットとして0を付加して第2のテストデータを生成するとともに、前記第1のテストデータに最下位ビットとして1を付加して第3のテストデータを生成し、前記第2および第3のテストデータを前記第2のクロックの信号値に応じて選択して、前記メモリに入力することを特徴とするメモリのテスト方法。

【請求項15】 第1のクロックで動作するメモリのテスト方法であって、
第1のクロックに同期してメモリから出力される第1のデータを、前記第1のクロックの1/2の周波数の第2のクロックによって第2のデータとして保持し、前記第2のデータと、前記第1のデータの直後に前記第1のクロックに同期して前記メモリから出力される第3のデータとを、前記第2のクロックによってそれぞれ所定の期待値と比較することを特徴とするメモリのテスト方法。

【請求項16】 第1のクロックで動作するダブルデータレートメモリのテスト方法であって、

前記第1のクロックと同じ周波数の第2のクロックで第1のテストデータを生成するとともに、前記第2のクロックの反転クロックである第3のクロックで第2のテストデータを生成し、前記第1および第2のテストデータを、前記第2のクロックの信号値あるいは前記第3のクロックの信号値に応じて選択して前記ダブルデータレートメモリへ第3のテストデータとして入力することを特徴とするメモリのテスト方法。

【請求項17】 第1のクロックで動作するダブルデータレートメモリのテスト方法であって、

前記第1のクロックと同じ周波数の第2のクロックで第1のテストデータを生成し、前記第1のテストデータに最下位ビットとして0を付加して第2のテストデータを生成するとともに、前記第1のテストデータに最下位ビットとして1を付加して第3のテストデータを生成し、前記第2および第3のテストデータを前

記第 2 のクロックの信号値に応じて選択して、前記ダブルデータレートメモリに入力することを特徴とするメモリのテスト方法。

【請求項 1 8】 第 1 のクロックで動作するダブルデータレートメモリのテスト方法であって、

第 1 のクロックに同期してダブルデータレートメモリから出力される第 1 のデータを、前記第 1 のクロックと同じ周波数の第 2 のクロックによって第 2 のデータとして保持し、前記第 2 のデータと、前記第 1 のデータの直後に前記第 1 のクロックに同期して前記ダブルデータレートメモリから出力される第 3 のデータを、前記第 2 のクロックによってそれぞれ所定の期待値と比較することを特徴とするメモリのテスト方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、組み込み自己テストによるメモリのテストを行うことができる半導体集積回路、特に高速動作を行うメモリのテストを行うことができる半導体集積回路、およびメモリのテスト方法に関するものである。

【 0 0 0 2 】

【従来の技術】

近年、L S I 技術の進歩に伴って、半導体集積回路に搭載されるメモリの動作が高速化してきている。これらのメモリをテストするために、一般的に組み込み自己テスト（いわゆる、B I S T）が用いられている。

【 0 0 0 3 】

図 2 1 は、B I S T を行うための回路ブロックを示し、4 0 1 は B I S T 回路、4 0 2 は B I S T の対象となるメモリである。メモリ 4 0 2 には第 1 のクロック（Memory Clock）が入力され、B I S T 回路 4 0 1 には第 2 のクロック（B I S T Clock）が入力される。メモリ 4 0 2 には、クロックの立ち上がりおよび立ち下がりの何れか一方のエッジに同期して動作する通常の（データレートの）メモリと、クロックの立ち上がりおよび立ち下がりの両方のエッジに各々同期して動作するダブルデータレートメモリとがある。

【 0 0 0 4 】

B I S T 回路 4 0 1 からメモリ 4 0 2 へは、アドレス、データ入力、およびライトイネーブル信号等のコントロール信号が入力される。また、メモリ 4 0 2 の出力 (D a t a - O u t) が B I S T 回路 4 0 1 へ入力される。そして、B I S T 回路 4 0 1 の内部の期待値比較回路で、メモリ 4 0 2 から入力されたデータと期待値と比較することによりパス／フェイルの判定が行われる。

【 0 0 0 5 】

ここで、メモリ 4 0 2 がダブルデータレート (D D R ; D o u b l e D a t a R a t e) メモリである場合において、メモリ 4 0 2 に対して B I S T を適用する場合のクロックタイミングを図 2 2 に示す。図 2 2 には、第 1 のクロック (M e m o r y C l o c k)、第 2 のクロック (B I S T C l o c k) およびメモリ 4 0 2 のデータ出力 D a t a - O u t が示されている。

【 0 0 0 6 】

D D R メモリであるメモリ 4 0 2 は、第 1 のクロック (M e m o r y C l o c k) の立ち上がりと立ち下りの両方のエッジに同期して動作ができるため、例えば読み出し (R e a d) 動作を行う場合には、図 2 2 の時刻 t_1 における第 1 のクロック (M e m o r y C l o c k) の立ち上がりエッジでデータが出力され、時刻 t_2 における第 1 のクロック (M e m o r y C l o c k) の立ち下りエッジで、次のデータが出力される。

【 0 0 0 7 】

このようなメモリ 4 0 2 をテストする B I S T 回路 4 0 1 では、第 2 のクロック (B I S T C l o c k) の立ち上がりエッジが時刻 t_1, t_2, \dots, t_n になるようにすることで、D D R メモリを実動作速度でテストすることができる。

【 0 0 0 8 】

このように、高速なメモリ 4 0 2 をテストする B I S T 回路 4 0 1 では、メモリ 4 0 2 の動作速度に応じて B I S T 回路 4 0 1 自身の動作速度を速くする必要がある。

【 0 0 0 9 】

【発明が解決しようとする課題】

上記のDDRメモリのようにクロック周波数の倍速で動作するような場合や、非常に高速で動作するメモリを実動作速度でテストする場合には、BIST回路自身を高速に動作させる必要があるが、動作周波数が非常に高速なため、BIST回路の実現が困難であるという問題があった。

【0010】

また、高速動作のためには、駆動能力の高いセルが必要となり、BIST回路面積が増大するという問題があり、さらに高速動作のためには、クロック周波数が高くなるために消費電力が増大するという問題があった。

【0011】

本発明は以上の問題点を解決するためになされたものであり、その目的は、BIST回路の動作速度を抑えても実動作速度で高速メモリのテストを実施できる半導体集積回路を提供することである。

【0012】

また、本発明の他の目的は、BIST回路の動作速度を抑えても実動作速度で高速メモリのテストを実施できるメモリのテスト方法を提供することである。

【0013】

【課題を解決するための手段】

本発明の請求項1記載の半導体集積回路は、第1のクロックで動作するメモリと、第1のクロックの $1/2$ の周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、第2のクロックの反転クロックである第3のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、第1のテストパターン生成部および第2のテストパターン生成部からそれぞれ出力される第1および第2のテストデータを、第2のクロックの信号値あるいは第3のクロックの信号値に応じて選択的に出力し、メモリへ第3のテストデータとして入力するテストデータ選択部とを備えている。

【0014】

この構成によれば、メモリに与えられる第1のクロックの $1/2$ の周波数の第2のクロックに応じて第1のテストパターン生成部で第1のテストデータを生成する。さらに、第2のクロックを反転した第3のクロックに応じて第2のテスト

パターン生成部で第2のテストデータを生成する。そして、第1および第2のテストデータをテストデータ選択部によって第2のクロックの信号値あるいは第3のクロックの信号値に応じて選択して、メモリへ第3のテストデータとして入力する。これにより、第1および第2のテストパターン生成部およびテストデータ選択部の動作速度をメモリの動作速度の $1/2$ に抑えた状態でも、メモリのテストを実動作速度で行うことができる。第1および第2のテストパターン生成部およびテストデータ選択部の動作速度は遅くてもよいので、駆動能力は小さくてよく、したがって回路面積が少なくすみ、消費電力を少なく抑えることができる。

【0015】

本発明の請求項2記載の半導体集積回路は、第1のクロックで動作するメモリと、第1のクロックの $1/2$ の周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、第2のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、第1のテストパターン生成部および第2のテストパターン生成部からそれぞれ出力される第1および第2のテストデータを、第2のクロックの信号値に応じて選択的に出力し、メモリへ第3のテストデータとして入力するテストデータ選択部とを備えている。

【0016】

この構成によれば、メモリに与えられる第1のクロックの $1/2$ の周波数の第2のクロックに応じて第1のテストパターン生成部で第1のテストデータを生成する。さらに、第2のクロックに応じて第2のテストパターン生成部で第2のテストデータを生成する。そして、第1および第2のテストデータをテストデータ選択部によって第2のクロックの信号値に応じて選択して、メモリへ第3のテストデータとして入力する。これにより、第1および第2のテストパターン生成部およびテストデータ選択部の動作速度をメモリの動作速度の $1/2$ に抑えた状態でも、メモリのテストを実動作速度で行うことができる。第1および第2のテストパターン生成部およびテストデータ選択部の動作速度は遅くてもよいので、駆動能力は小さくてよく、したがって回路面積が少なくすみ、消費電力を少なく抑えることができる。

【 0 0 1 7 】

本発明の請求項 3 記載の半導体集積回路は、第 1 のクロックで動作するメモリと、第 1 のクロックの $1/2$ の周波数の第 2 のクロックで動作し、第 1 のテストデータを生成するテストパターン生成部と、テストパターン生成部で生成される第 1 のテストデータに最下位ビットとして 0 を付加して第 2 のテストデータを生成する LSB 0 処理部と、テストパターン生成部で生成される第 1 のテストデータに最下位ビットとして 1 を付加して第 3 のテストデータを生成する LSB 1 処理部と、LSB 0 処理部および LSB 1 処理部からそれぞれ出力される第 2 および第 3 のテストデータを第 2 のクロックの信号値に応じて選択的に出力し、メモリへ第 4 のテストデータとして入力するテストデータ選択部とを備えている。

【 0 0 1 8 】

この構成によれば、メモリに与えられる第 1 のクロックの $1/2$ の周波数の第 2 のクロックに応じてテストパターン生成部で第 1 のテストデータを生成する。さらに、LSB 0 処理部によって第 1 のテストデータに最下位ビットとして 0 を付加して第 2 のテストデータを生成し、LSB 1 処理部によって第 1 のテストデータに最下位ビットとして 1 を付加して第 3 のテストデータを生成する。そして、テストデータ選択部によって第 2 および第 3 のテストデータを第 2 のクロックの信号値に応じて選択的に出力する。これにより、テストパターン生成部、LSB 0 処理部、LSB 1 処理部およびテストデータ選択部の動作速度をメモリの動作速度の $1/2$ に抑えた状態でも、メモリのテストを実動作速度で行うことができる。テストパターン生成部、LSB 0 処理部、LSB 1 処理部およびテストデータ選択部の動作速度は遅くてもよいので、駆動能力は小さくてよく、したがって回路面積が少なくすみ、消費電力を少なく抑えることができる。

【 0 0 1 9 】

本発明の請求項 4 記載の半導体集積回路は、請求項 3 に記載の半導体集積回路において、第 2 のクロックを遅延し、遅延クロックとしてテストデータ選択部を与える遅延回路を設けている。

【 0 0 2 0 】

この構成によれば、第 2 のクロックを遅延させているので、第 1 のクロックに

対してホールド時間を確保でき、高速に動作するメモリに対して安定したテストパターンを印加することができる。その他は請求項 3 と同様である。

【 0 0 2 1 】

本発明の請求項 5 記載の半導体集積回路は、第 1 のクロックで動作するメモリと、第 1 のクロックの $1/2$ の周波数の第 2 のクロックで動作し、第 1 のテストデータを生成するテストパターン生成部と、テストパターン生成部で生成される第 1 のテストデータに最下位ビットとして 0 を付加して第 2 のテストデータを生成する LSB 0 処理部と、テストパターン生成部で生成される第 1 のテストデータに最下位ビットとして 1 を付加して第 3 のテストデータを生成する LSB 1 処理部と、第 2 のクロックと第 2 のクロックの反転クロックとのいずれか一方を選択できるクロック選択部と、LSB 0 処理部および LSB 1 処理部からそれぞれ出力される第 2 および第 3 のテストデータをクロック選択部の出力に応じて選択的に出力し、メモリへ第 4 のテストデータとして入力するテストデータ選択部とを備えている。

【 0 0 2 2 】

この構成によれば、第 2 のクロックと第 2 のクロックの反転クロックとのいずれか一方をクロック選択部で選択し、選択されたクロックに応じてテストデータ選択部で第 2 および第 3 のテストデータを選択するようにしたので、クロック選択部の選択の状態を逆にすることで、第 2 および第 3 のテストデータを各々選択するタイミングを逆にすることができる。その結果、テストパターンの質が高くなるとともに、テストパターンとしてアドレス信号を与えるときにアドレス信号のインクリメントおよびデクリメントを選択的に行うことができる。その他は請求項 3 と同じである。

【 0 0 2 3 】

本発明の請求項 6 記載の半導体集積回路は、第 1 のクロックで動作するメモリと、第 1 のクロックに同期してメモリから出力される第 1 の出力データを、第 1 のクロックの $1/2$ の周波数の第 2 のクロックによって取り込む記憶素子と、第 2 のクロックによって動作し、記憶素子から出力される第 2 の出力データと、第 1 の出力データの直後にメモリから出力される第 3 の出力データとを、それぞれ

所定の期待値と比較する期待値比較部とを備えている。

【 0 0 2 4 】

この構成によれば、メモリに与えられる第1のクロックの1/2の周波数の第2のクロックの反転クロックによってメモリから第1のクロックに同期して出力される第1の出力データを取り込む。そして、記憶素子から出力される第2の出力データと、第1の出力データの直後にメモリから出力される第3の出力データとを、期待値比較部において、第2のクロックによってそれぞれ所定の期待値と比較する。これにより、記憶素子および期待値比較部の動作速度をメモリの動作速度の1/2に抑えた状態でも、メモリのテストを実動作速度で行うことができる。記憶素子および期待値比較部の動作速度は遅くてもよいので、駆動能力は小さくてよく、したがって回路面積が少なくすみ、消費電力を少なく抑えることができる。

【 0 0 2 5 】

本発明の請求項7記載の半導体集積回路は、第1のクロックで動作するダブルデータレートメモリと、第1のクロックと同じ周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、第2のクロックの反転クロックである第3のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、第1のテストパターン生成部および第2のテストパターン生成部からそれぞれ出力される第1および第2のテストデータを、第2のクロックの信号値あるいは第3のクロックの信号値に応じて選択的に出力し、ダブルデータレートメモリへ第3のテストデータとして入力するテストデータ選択部とを備えている。

【 0 0 2 6 】

この構成によれば、ダブルデータレートメモリに与えられる第1のクロックと同じ周波数の第2のクロックに応じて第1のテストパターン生成部で第1のテストデータを生成する。さらに、第2のクロックを反転した第3のクロックに応じて第2のテストパターン生成部で第2のテストデータを生成する。そして、第1および第2のテストデータをテストデータ選択部によって第2のクロックの信号値あるいは第3のクロックの信号値に応じて選択して、ダブルデータレートメモ

リへ第3のテストデータとして入力する。これにより、第1および第2のテストパターン生成部およびテストデータ選択部の動作速度をダブルデータレートメモリの動作速度と同じに抑えた状態でも、ダブルデータレートメモリのテストを実動作速度で行うことができる。第1および第2のテストパターン生成部およびテストデータ選択部の動作速度は遅くてもよいので、駆動能力は小さくてよく、したがって回路面積が少なくすみ、消費電力を少なく抑えることができる。

【 0 0 2 7 】

本発明の請求項8記載の半導体集積回路は、第1のクロックで動作するダブルデータレートメモリと、第1のクロックと同じ周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、第2のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、第1のテストパターン生成部および第2のテストパターン生成部からそれぞれ出力される第1および第2のテストデータを、第2のクロックの信号値に応じて選択的に出力し、ダブルデータレートメモリへ第3のテストデータとして入力するテストデータ選択部とを備えている。

【 0 0 2 8 】

この構成によれば、ダブルデータレートメモリに与えられる第1のクロックと同じ周波数の第2のクロックに応じて第1のテストパターン生成部で第1のテストデータを生成する。さらに、第2のクロックに応じて第2のテストパターン生成部で第2のテストデータを生成する。そして、第1および第2のテストデータをテストデータ選択部によって第2のクロックの信号値に応じて選択して、ダブルデータレートメモリへ第3のテストデータとして入力する。これにより、第1および第2のテストパターン生成部およびテストデータ選択部の動作速度をダブルデータレートメモリの動作速度と同じに抑えた状態でも、ダブルデータレートメモリのテストを実動作速度で行うことができる。第1および第2のテストパターン生成部およびテストデータ選択部の動作速度は遅くてもよいので、駆動能力は小さくてよく、したがって回路面積が少なくすみ、消費電力を少なく抑えることができる。

【 0 0 2 9 】

本発明の請求項 9 記載の半導体集積回路は、第 1 のクロックで動作するダブルデータレートメモリと、第 1 のクロックと同じ周波数の第 2 のクロックで動作し、第 1 のテストデータを生成するテストパターン生成部と、テストパターン生成部で生成される第 1 のテストデータに最下位ビットとして 0 を付加して第 2 のテストデータを生成する LSB 0 処理部と、テストパターン生成部で生成される第 1 のテストデータに最下位ビットとして 1 を付加して第 3 のテストデータを生成する LSB 1 処理部と、LSB 0 処理部および LSB 1 処理部からそれぞれ出力される第 2 および第 3 のテストデータを第 2 のクロックの信号値に応じて選択的に出力し、ダブルデータレートメモリへ第 4 のテストデータとして入力するテストデータ選択部とを備えている。

【 0 0 3 0 】

この構成によれば、ダブルデータレートメモリに与えられる第 1 のクロックと同じ周波数の第 2 のクロックに応じてテストパターン生成部で第 1 のテストデータを生成する。さらに、LSB 0 処理部によって第 1 のテストデータに最下位ビットとして 0 を付加して第 2 のテストデータを生成し、LSB 1 処理部によって第 1 のテストデータに最下位ビットとして 1 を付加して第 3 のテストデータを生成する。そして、テストデータ選択部によって第 2 および第 3 のテストデータを第 2 のクロックの信号値に応じて選択的に出力する。これにより、テストパターン生成部、LSB 0 処理部、LSB 1 処理部およびテストデータ選択部の動作速度をダブルデータレートメモリの動作速度と同じに抑えた状態でも、ダブルデータレートメモリのテストを実動作速度で行うことができる。テストパターン生成部、LSB 0 処理部、LSB 1 処理部およびテストデータ選択部の動作速度は遅くてもよいので、駆動能力は小さくてよく、したがって回路面積が少なくすみ、消費電力を少なく抑えることができる。

【 0 0 3 1 】

本発明の請求項 1 0 記載の半導体集積回路は、請求項 9 に記載の半導体集積回路において、第 2 のクロックを遅延し、遅延クロックとしてテストデータ選択部に与える遅延回路を設けている。

【 0 0 3 2 】

この構成によれば、第2のクロックを遅延させているので、第1のクロックに対してホールド時間を確保でき、高速に動作するダブルデータレートメモリに対して安定したテストパターンを印加することができる。その他は請求項9と同様である。

【0033】

本発明の請求項11記載の半導体集積回路は、第1のクロックで動作するダブルデータレートメモリと、第1のクロックと同じ周波数の第2のクロックで動作し、第1のテストデータを生成するテストパターン生成部と、テストパターン生成部で生成される第1のテストデータに最下位ビットとして0を付加して第2のテストデータを生成するLSB0処理部と、テストパターン生成部で生成される第1のテストデータに最下位ビットとして1を付加して第3のテストデータを生成するLSB1処理部と、第2のクロックと第2のクロックの反転クロックとのいずれか一方を選択できるクロック選択部と、LSB0処理部およびLSB1処理部からそれぞれ出力される第2および第3のテストデータをクロック選択部の出力に応じて選択的に出力し、ダブルデータレートメモリへ第4のテストデータとして入力するテストデータ選択部とを備えている。

【0034】

この構成によれば、第2のクロックと第2のクロックの反転クロックとのいずれか一方をクロック選択部で選択し、選択されたクロックに応じてテストデータ選択部で第2および第3のテストデータを選択するようにしたので、クロック選択部の選択の状態を逆にすることで、第2および第3のテストデータを各々選択するタイミングを逆にすることができる。その結果、テストパターンの質が高くなるとともに、テストパターンとしてアドレス信号を与えるときにアドレス信号のインクリメントおよびデクリメントを選択的に行うことができる。その他は請求項9と同じである。

【0035】

本発明の請求項12記載の半導体集積回路は、第1のクロックで動作するダブルデータレートメモリと、第1のクロックに同期してダブルデータレートメモリから出力される第1の出力データを、第1のクロックと同じ周波数の第2のクロ

ックによって取り込む記憶素子と、第2のクロックによって動作し、記憶素子から出力される第2の出力データと、第1の出力データの直後にダブルデータレートメモリから出力される第3の出力データとを、それぞれ所定の期待値と比較する期待値比較部とを備えている。

【0036】

この構成によれば、ダブルデータレートメモリに与えられる第1のクロックと同じ周波数の第2のクロックの反転クロックによってダブルデータレートメモリから第1のクロックに同期して出力される第1の出力データを取り込む。そして、記憶素子から出力される第2の出力データと、第1の出力データの直後にダブルデータレートメモリから出力される第3の出力データとを、期待値比較部において、第2のクロックによってそれぞれ所定の期待値と比較する。これにより、記憶素子および期待値比較部の動作速度をダブルデータレートメモリの動作速度と同じに抑えた状態でも、ダブルデータレートメモリのテストを実動作速度で行うことができる。記憶素子および期待値比較部の動作速度は遅くてもよいので、駆動能力は小さくてよく、したがって回路面積が少なくすみ、消費電力を少なく抑えることができる。

【0037】

本発明の請求項13記載のメモリのテスト方法は、第1のクロックで動作するメモリのテスト方法であり、第1のクロックの $1/2$ の周波数の第2のクロックで第1のテストデータを生成するとともに、第2のクロックの反転クロックである第3のクロックで第2のテストデータを生成し、第1および第2のテストデータを、第2のクロックの信号値あるいは第3のクロックの信号値に応じて選択してメモリへ第3のテストデータとして入力することを特徴とする。

【0038】

この方法によれば、第1のクロックで動作するメモリのテストを第1のクロックの $1/2$ の周波数の第2のクロックで実行することができる。この際、第2のクロックの周波数が低くてよいことから、テストを行うための回路の駆動能力が小さくてよく、したがって回路面積が少なくすみ、またテストを行うための電力消費を少なくできる。

【 0 0 3 9 】

本発明の請求項 1 4 記載のメモリのテスト方法は、第 1 のクロックで動作するメモリのテスト方法であり、第 1 のクロックの $1/2$ の周波数の第 2 のクロックで第 1 のテストデータを生成し、第 1 のテストデータに最下位ビットとして 0 を付加して第 2 のテストデータを生成するとともに、第 1 のテストデータに最下位ビットとして 1 を付加して第 3 のテストデータを生成し、第 2 および第 3 のテストデータを第 2 のクロックの信号値に応じて選択して、メモリに入力することを特徴とする。

【 0 0 4 0 】

この方法によれば、第 1 のクロックで動作するメモリのテストを第 1 のクロックの $1/2$ の周波数の第 2 のクロックで実行することができる。この際、第 2 のクロックの周波数が低くてよいことから、テストを行うための回路の駆動能力が小さくてよく、したがって回路面積が少なくてすみ、またテストを行うための電力消費を少なくできる。

【 0 0 4 1 】

本発明の請求項 1 5 記載のメモリのテスト方法は、第 1 のクロックで動作するメモリのテスト方法であり、第 1 のクロックに同期してメモリから出力される第 1 のデータを、第 1 のクロックの $1/2$ の周波数の第 2 のクロックによって第 2 のデータとして保持し、第 2 のデータと、第 1 のデータの直後に第 1 のクロックに同期してメモリから出力される第 3 のデータとを、第 2 のクロックによってそれぞれ所定の期待値と比較することを特徴とする

この方法によれば、第 1 のクロックで動作するメモリのテストを第 1 のクロックの $1/2$ の周波数の第 2 のクロックで実行することができる。この際、第 2 のクロックの周波数が低くてよいことから、テストを行うための回路の駆動能力が小さくてよく、したがって回路面積が少なくてすみ、またテストを行うための電力消費を少なくできる。

【 0 0 4 2 】

本発明の請求項 1 6 記載のメモリのテスト方法は、第 1 のクロックで動作するダブルデータレートメモリのテスト方法であり、第 1 のクロックと同じ周波数の

第2のクロックで第1のテストデータを生成するとともに、第2のクロックの反転クロックである第3のクロックで第2のテストデータを生成し、第1および第2のテストデータを、第2のクロックの信号値あるいは第3のクロックの信号値に応じて選択してダブルデータレートメモリへ第3のテストデータとして入力することを特徴とする。

【 0 0 4 3 】

この方法によれば、第1のクロックで動作するダブルデータレートメモリのテストを第1のクロックと同じ周波数の第2のクロックで実行することができる。この際、第2のクロックの周波数を第1のクロックの2倍にする必要がなく、第2のクロックの周波数が低くてよいことから、テストを行うための回路の駆動能力が小さくてよく、したがって回路面積が少なくてすみ、またテストを行うための電力消費を少なくできる。

【 0 0 4 4 】

本発明の請求項17記載のメモリのテスト方法は、第1のクロックで動作するダブルデータレートメモリのテスト方法であって、第1のクロックと同じ周波数の第2のクロックで第1のテストデータを生成し、第1のテストデータに最下位ビットとして0を付加して第2のテストデータを生成するとともに、第1のテストデータに最下位ビットとして1を付加して第3のテストデータを生成し、第2および第3のテストデータを第2のクロックの信号値に応じて選択して、ダブルデータレートメモリに入力することを特徴とする。

【 0 0 4 5 】

この方法によれば、第1のクロックで動作するダブルデータレートメモリのテストを第1のクロックと同じ周波数の第2のクロックで実行することができる。この際、第2のクロックの周波数を第1のクロックの2倍にする必要がなく、第2のクロックの周波数が低くてよいことから、テストを行うための回路の駆動能力が小さくてよく、したがって回路面積が少なくてすみ、またテストを行うための電力消費を少なくできる。

【 0 0 4 6 】

本発明の請求項18記載のメモリのテスト方法は、第1のクロックで動作する

ダブルデータレートメモリのテスト方法であり、第1のクロックに同期してダブルデータレートメモリから出力される第1のデータを、第1のクロックと同じ周波数の第2のクロックによって第2のデータとして保持し、第2のデータと、第1のデータの直後に第1のクロックに同期してダブルデータレートメモリから出力される第3のデータとを、第2のクロックによってそれぞれ所定の期待値と比較することを特徴とする。

【0047】

この方法によれば、第1のクロックで動作するダブルデータレートメモリのテストを第1のクロックと同じ周波数の第2のクロックで実行することができる。この際、第2のクロックの周波数を第1のクロックの2倍にする必要がなく、第2のクロックの周波数が低くてよいことから、テストを行うための回路の駆動能力が小さくてよく、したがって回路面積が少なくてすみ、またテストを行うための電力消費を少なくできる。

【0048】

上記の説明において、メモリというのは、クロックの立ち上がりおよび立ち下りの何れか一方のエッジに同期して動作する通常の（データレートの）メモリを意味し、ダブルデータレートメモリというのは、クロックの立ち上がりおよび立ち下りの両方のエッジに各々同期して動作するものを意味する。

【0049】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しつつ説明する。なお、図中、同一または相当部分には同一符号を付してその説明は繰り返さない。

【0050】

（第1の実施の形態）

図1は本発明の第1の実施の形態における半導体集積回路およびメモリのテスト方法を説明するためのブロック図であり、図2は図1の各部のタイミング図である。

【0051】

図1において、101は入力クロックの立ち上がりエッジに同期して動作する

第 1 のテストパターン生成部である。1 0 2 は入力クロックの立ち上がりエッジに同期して動作する第 2 のテストパターン生成部である。1 0 3 は反転クロック生成用のインバータである。1 0 4 はテストデータ選択部である。これらが B I S T 回路を構成している。1 0 5 は B I S T の対象となる通常のデータレートのメモリであり、入力クロックの立ち上がりエッジに同期して動作する。

【 0 0 5 2 】

第 1 のクロック C K 1 は、メモリ 1 0 5 へ与えられるクロック信号である。第 2 のクロック C K 2 は、第 1 のテストパターン生成部 1 0 1 に与えられるクロック信号であり、その周波数は第 1 のクロック C K 1 の $1/2$ である。第 3 のクロック C K 3 は、第 2 のクロック C K 2 をインバータ 1 0 3 によって反転したクロック信号であり、第 2 のテストパターン生成部 1 0 2 のクロック信号である。

【 0 0 5 3 】

第 1 のテストパターン生成部 1 0 1 では、図 2 のタイミング図に示すように、第 2 のクロック C K 2 の立ち上がりエッジに同期して、時刻 t_0 で「0 0 0」、時刻 t_2 で「0 1 0」、時刻 t_4 で「1 0 0」、時刻 t_6 で「1 1 0」のアドレス信号 T P 1 をテストデータとして生成する。

【 0 0 5 4 】

また、第 2 のテストパターン生成部 1 0 2 では、図 2 のタイミング図に示すように、第 3 のクロック C K 3 の立ち上がりエッジに同期して、時刻 t_1 で「0 0 1」、時刻 t_3 で「0 1 1」、時刻 t_5 で「1 0 1」、時刻 t_7 で「1 1 1」のアドレス信号 T P 2 をテストデータとして生成する。

【 0 0 5 5 】

テストデータ選択部 1 0 4 は、第 2 のクロック C K 2 の論理値 0 / 1 に応じて、第 1 のテストパターン生成部 1 0 1 および第 2 のテストパターン生成部 1 0 2 でそれぞれ生成されるアドレス信号 T P 1, T P 2 を交互に選択してテストデータとして出力する。なお、テストデータ選択部 1 0 4 は、第 3 のクロック C K 3 の論理値 0 / 1 に応じて選択動作を行ってもよい。

【 0 0 5 6 】

第 2 のクロック C K 2 が論理値 1 の場合にアドレス信号 T P 1 を選択し、論理

値 0 の場合にアドレス信号 T P 2 を選択すれば、メモリ 1 0 5 にテストデータとして入力されるアドレス信号 T P 3 は、時刻 t 0 で「0 0 0」、時刻 t 1 で「0 0 1」、時刻 t 2 で「0 1 0」、時刻 t 3 で「0 1 1」、時刻 t 4 で「1 0 0」、時刻 t 5 で「1 0 1」、時刻 t 6 で「1 1 0」、時刻 t 7 で「1 1 1」になり、メモリ 1 0 5 の第 1 クロック C K 1 の立ち上がりエッジに同期してテストパターン（一連のアドレス信号）を生成することが可能になる。

【 0 0 5 7 】

以上のように、本実施の形態によれば、第 2 のクロック C K 2 およびそれを反転した第 3 のクロック C K 3 によってそれぞれ動作する第 1 および第 2 のテストパターン生成部 1 0 1, 1 0 2 を設け、第 1 および第 2 のテストパターン生成部 1 0 1, 1 0 2 の出力を第 2 および第 3 のクロック C K 2, C K 3 のいずれかの状態に応じてテストデータ選択部 1 0 4 で選択してメモリ 1 0 5 に入力する構成を採用することにより、第 1 および第 2 のテストパターン生成部 1 0 1, 1 0 2 の 2 倍の周波数で動作するメモリ 1 0 4 に対して、実動作速度でテストパターンを印加することが可能となる。つまり、B I S T 回路である第 1 および第 2 のテストパターン生成部 1 0 1, 1 0 2 の動作周波数を 2 倍に上げることなく、高い周波数で動作するメモリ 1 0 4 のテストを行うことができる。したがって、B I S T を行うための第 1 および第 2 のテストパターン生成部 1 0 1, 1 0 2 の駆動能力が小さくてよく、したがって、回路面積も少なくすみ、消費電力も少なくできる。

【 0 0 5 8 】

なお、メモリ 1 0 5 が D D R メモリの場合は、図 3 のタイミング図に示すように、D D R メモリの第 1 のクロック C K 1 と第 2 のクロック C K 2 に同一の周波数のクロック信号を入力することで、クロック C K 1 の立ち上がりエッジと立ち下がりエッジの両方のエッジに同期してテストパターンを D D R メモリへ入力することができ、本実施の形態と同様の効果を得ることができる。つまり、B I S T 回路である第 1 および第 2 のテストパターン生成部の動作周波数を 2 倍に上げることなく、D D R メモリのテストを行うことが可能となる。したがって、B I S T を行うための第 1 および第 2 のテストパターン生成部 1 0 1, 1 0 2 の駆動

能力が小さくてよく、したがって、回路面積も少なくすみ、消費電力も少なくできる。

【 0 0 5 9 】

また、図 1 の構成では、第 2 のクロック C K 2 をインバータ 1 0 3 で反転した第 3 のクロック C K 3 を第 2 のテストパターン生成部 1 0 2 に与えるようにしたが、第 2 のクロック C K 2 をそのまま与えても、第 3 のクロック C K 3 を与え得た場合と同様のアドレス信号 T P 3 を得ることができる。この場合、アドレス信号 T P 2 は、図 2 のタイミングに比べて第 2 のクロック C K 2 の半サイクル分進むことになる。

【 0 0 6 0 】

(第 2 の実施の形態)

図 4 は本発明の第 2 の実施の形態における半導体集積回路およびメモリのテスト方法を説明するためのブロック図であり、図 5 はタイミング図である。

【 0 0 6 1 】

以下、図 4 に示す半導体集積回路におけるメモリのテスト方法について、図 7 のフローチャートに基づいて説明する。

【 0 0 6 2 】

図 4 において、2 0 1 は入力クロックの立ち上がりエッジに同期して動作する第 1 のテストパターン生成部である。2 0 2 は L S B 0 処理部、2 0 3 は L S B 1 処理部、2 0 4 はテストデータ選択部である。これらが B I S T 回路を構成している。2 0 5 は B I S T の対象となる通常のデータレートのメモリであり、入力クロックの立ち上がりエッジに同期して動作する。

【 0 0 6 3 】

第 1 のクロック C K 1 は、メモリ 2 0 5 へ与えられるクロック信号である。第 2 のクロック C K 2 は、テストパターン生成部 2 0 1 へ与えられるクロック信号であり、その周波数は第 1 のクロック C K 1 の $1/2$ である。

【 0 0 6 4 】

図 7 において、最初にテストパターン生成処理 S T 3 0 1 が行われる。第 2 のクロック C K 2 の立ち上がりエッジに同期してテストパターン生成部 2 0 1 にお

いて、時刻 t_0 で、テストデータ、つまりアドレス信号 TP_0 として $\{00\}$ が生成され、時刻 t_2 で、アドレス信号 TP_0 として $\{01\}$ が生成され、時刻 t_4 で、アドレス信号 TP_0 として $\{10\}$ が生成され、時刻 t_6 で、アドレス信号 TP_0 として $\{11\}$ が生成される。

【0065】

つぎに、LSB 処理 ST_{302} が行われる。つまり、テストパターン生成部 201 で生成されたアドレス信号 TP_0 の最下位ビットに 0 または 1 を付加する処理が行われる。

【0066】

具体的には、LSB0 処理部 202 では、アドレス信号 TP_0 の最下位ビットに 0 を付加する。また、LSB1 処理部 203 では、アドレス信号 TP_0 の最下位ビットに 1 を付加する。ここで、LSB0 処理部 202 および LSB1 処理部 203 については、クロックによる同期は行われず、単にテストパターン生成部 201 の出力の LSB に論理値「0」または「1」を付加しているのみである。
verilog の記述にすると、以下のようなになる。

【0067】

```
assign TP1 = {TP0,0} ;
```

```
assign TP2 = {TP0,1} ;
```

図 5 に示すタイミング図において、時刻 t_0 では、アドレス信号 TP_0 として生成された 2 ビットアドレス $\{00\}$ に対して、LSB0 処理部 202 において、アドレス信号 TP_0 の最下位ビットに 0 が付加され、3 ビットのアドレス $\{000\}$ が生成される。また、LSB1 処理部 203 において、アドレス信号 TP_0 の最下位ビットに 1 が付加され、3 ビットのアドレス $\{001\}$ が生成される。

【0068】

時刻 t_2 では、アドレス信号 TP_0 として生成された 2 ビットアドレス $\{01\}$ に対して、LSB0 処理部 202 において、アドレス信号 TP_0 の最下位ビットに 0 が付加され、3 ビットのアドレス $\{010\}$ が生成される。また、LSB1 処理部 203 において、アドレス信号 TP_0 の最下位ビットに 1 が付加され、

3ビットのアドレス { 0 1 1 } が生成される。

【 0 0 6 9 】

時刻 t 4 では、アドレス信号 T P 0 として生成された 2 ビットアドレス { 1 0 } に対して、L S B 0 処理部 2 0 2 において、アドレス信号 T P 0 の最下位ビットに 0 が付加され、3 ビットのアドレス { 1 0 0 } が生成される。また、L S B 1 処理部 2 0 3 において、アドレス信号 T P 0 の最下位ビットに 1 が付加され、3 ビットのアドレス { 1 0 1 } が生成される。

【 0 0 7 0 】

時刻 t 6 では、アドレス信号 T P 0 として生成された 2 ビットアドレス { 1 1 } に対して、L S B 0 処理部 2 0 2 において、アドレス信号 T P 0 の最下位ビットに 0 が付加され、3 ビットのアドレス { 1 1 0 } が生成される。また、L S B 1 処理部 2 0 3 において、アドレス信号 T P 0 の最下位ビットに 1 が付加され、3 ビットのアドレス { 1 1 1 } が生成される。

【 0 0 7 1 】

つぎに、テストデータ選択処理 S T 3 0 3 が行われる。ここでは、L S B 0 処理部 2 0 2 で生成されたテストデータであるアドレス信号 T P 1 と、L S B 1 処理部 2 0 3 で生成されたテストデータであるアドレス信号 T P 2 とを、第 2 のクロック C K 2 の信号値によって選択的に出力する。

【 0 0 7 2 】

テストデータ選択部 2 0 4 では、第 2 のクロック C K 2 が論理値 1 の時にアドレス信号 T P 1 を選択し、第 2 のクロック C K 2 が論理値 0 の時にアドレス信号 T P 2 を選択してメモリ 2 0 5 へ出力する。

【 0 0 7 3 】

第 2 のクロック C K 2 の論理値が 1 の区間である時刻 t 0 から時刻 t 1 までの間は、テストデータ選択部 2 0 4 からテストデータであるアドレス信号 T P 3 として { 0 0 0 } が出力され、第 2 のクロック C K 2 の論理値が 0 の区間である時刻 t 1 から時刻 t 2 までの間は、テストデータ選択部 2 0 4 からアドレス信号 T P 3 として { 0 0 1 } が出力される。

【 0 0 7 4 】

第2のクロックCK2の論理値が1の区間である時刻t2から時刻t3までの間は、テストデータ選択部204からアドレス信号TP3として{010}が出力され、第2のクロックCK2の論理値が0の区間である時刻t3から時刻t4までの間は、テストデータ選択部204からアドレス信号TP3として{011}が出力される。

【0075】

第2のクロックCK2の論理値が1の区間である時刻t4から時刻t5までの間は、テストデータ選択部204からアドレス信号TP3として{100}が出力され、第2のクロックCK2の論理値が0の区間である時刻t5から時刻t6までの間は、テストデータ選択部204からアドレス信号TP3として{101}が出力される。

【0076】

第2のクロックCK2の論理値が1の区間である時刻t6から時刻t7までの間は、テストデータ選択部204からアドレス信号TP3として{110}が出力され、第2のクロックCK2の論理値が0の区間である時刻t7から時刻t8までの間は、テストデータ選択部204からアドレス信号TP3として{111}が出力される。

【0077】

つぎに、テストパターン印加処理ST304が行われる。ここでは、テストデータ選択部204から出力されたアドレス信号TP3が、メモリ205に印加される。

【0078】

以上のように、本実施の形態によれば、第2のクロックCK2によって動作する単一のテストパターン生成部201を設け、テストパターン生成部201から出力されるアドレス信号TP0に対して、最下位ビットに0を付加するLSB0処理部202と、最下位ビットに1を付加するLSB1処理部203とを設け、さらにLSB0処理部202のアドレス信号TP1とLSB1処理部203のアドレス信号TP3とを選択して出力するテストデータ選択部204を設けたことにより、テストパターン生成部201の2倍の周波数で動作するメモリ205に

対して、実動作速度でテストパターンを印加することが可能となる。つまり、BIST回路であるテストパターン生成部101とLSB0処理部202およびLSB1処理部203の動作周波数を2倍に上げることなく、高い周波数で動作するメモリ104のテストを行うことができる。したがって、BISTを行うためのテストパターン生成部201とLSB0処理部202およびLSB1処理部203の駆動能力が小さくてよく、したがって回路面積も少なくすみ、消費電力も少なくできる。

【0079】

なお、メモリ205がDDRメモリの場合は、図6のタイミング図に示すように、DDRメモリの第1のクロックCK1とBIST回路の第2のクロックCK2とに同一の周波数のクロック信号を入力することで、クロックCK1の立ち上がりエッジと立ち下がりエッジの両方のエッジに同期してテストパターンをDDRメモリへ入力することができ、本実施の形態と同様の効果を得ることができる。つまり、BIST回路であるテストパターン生成部201の動作周波数を2倍に上げることなく、DDRメモリのテストを行うことが可能となる。したがって、BISTを行うためのテストパターン生成部201とLSB0処理部202およびLSB1処理部203の駆動能力が小さくてよく、したがって回路面積も少なくすみ、消費電力も少なくできる。

【0080】

(第3の実施の形態)

図8は本発明の第3の実施の形態における半導体集積回路およびメモリのテスト方法を説明するためのブロック図であり、図9はタイミング図である。

【0081】

以下、図8に示す半導体集積回路におけるメモリのテスト方法について、図7のフローチャートに基づいて説明する。

【0082】

図4の半導体集積回路と異なる点は、第2のクロックCK2を遅延して遅延クロックCK2'を生成する遅延回路206を備えた点である。この遅延回路206としては、例えば、バッファやインバータを直列に複数個並べることで一定時

間の遅延を持たせた回路、あるいは一定時間の遅延を発生させることができる遅延素子が用いられる。

【 0 0 8 3 】

以下、この実施の形態におけるテストデータ選択処理 S T 3 0 3 およびテストパターン印加処理 S T 3 0 4 について説明する。

【 0 0 8 4 】

テストデータ選択処理 S T 3 0 3 は、L S B 0 処理部 2 0 2 で生成されたアドレス信号 T P 1 と、L S B 1 処理部 2 0 3 で生成されたアドレス信号 T P 2 とを、第 2 のクロック C K 2 を遅延回路 2 0 6 で遅延した遅延クロック C K 2' によって選択的に出力する。

【 0 0 8 5 】

テストデータ選択部 2 0 4 では、遅延クロック C K 2' が論理値 1 の時にアドレス信号 T P 1 を選択し、クロック C K 2 が論理値 0 の時にアドレス信号 T P 2 を選択する。

【 0 0 8 6 】

遅延クロック C K 2' の論理値が 1 の区間である時刻 t_0' から時刻 t_1' までの間は、テストデータ選択部 2 0 4 からアドレス信号 T P 3 として { 0 0 0 } が生成され、遅延クロック C K 2' の論理値が 0 の区間である時刻 t_1' から時刻 t_2' までの間は、テストデータ選択部 2 0 4 からアドレス信号 T P 3 として { 0 0 1 } が生成される。

【 0 0 8 7 】

遅延クロック C K 2' の論理値が 1 の区間である時刻 t_2' から時刻 t_3' までの間は、テストデータ選択部 2 0 4 からアドレス信号 T P 3 として { 0 1 0 } が生成され、遅延クロック C K 2' の論理値が 0 の区間である時刻 t_3' から時刻 t_4' までの間は、テストデータ選択部 2 0 4 からアドレス信号 T P 3 として { 0 1 1 } が生成される。

【 0 0 8 8 】

遅延クロック C K 2' の論理値が 1 の区間である時刻 t_4' から時刻 t_5' までの間は、テストデータ選択部 2 0 4 からアドレス信号 T P 3 として { 1 0 0 }

が生成され、遅延クロックCK 2' の論理値が0の区間である時刻t 5' から時刻t 6' までの間は、テストデータ選択部204からアドレス信号TP 3として{101}が生成される。

【0089】

遅延クロックCK 2' の論理値が1の区間である時刻t 6' から時刻t 7' までの間は、テストデータ選択部204からアドレス信号TP 3として{110}が生成され、遅延クロックCK 2' の論理値が0の区間である時刻t 7' から時刻t 8' までの間は、テストデータ選択部204からアドレス信号TP 3として{111}が生成される。

【0090】

テストパターン印加処理ST 304では、テストデータ選択部204から出力されたアドレス信号TP 3が、第1のクロックCK 1の立ち上がりエッジに同期して動作するメモリ205に印加される。

【0091】

以上のように、本実施の形態によれば、LSB 0処理部202で生成されたアドレス信号TP 1とLSB 1処理部203で生成されたアドレス信号TP 2とを、第2のクロックCK 2を遅延回路206で遅延させた遅延クロックCK 2' によって選択的に出力することで、メモリ205に入力されるテストデータ、つまりアドレス信号TP 3がメモリ205のクロックCK 1に対して一定の遅延値を持って入力され、クロックCK 1に対してホールド時間が確保でき、高速動作するメモリ205に対して安定したテストパターンを印加することが可能となる。

【0092】

ここで、ホールド時間およびセットアップ時間について説明する。メモリ205は、クロックCK 1の立ち上がりエッジに同期して動作する。このとき、メモリ205へのアドレスやデータ入力信号は、クロックCK 1の立ち上がりエッジよりも一定時間前にその値が決定されていなければクロックCK 1の立ち上がりでそれらのデータがメモリ205に取り込まれない。この時間をセットアップ時間という。また、さらに、クロックCK 1が立ち上がった後も一定の時間データを保持しておく必要がある。この時間をホールド時間という。

【 0 0 9 3 】

また、クロック C K 2 によって動作する単一のテストパターン生成部 2 0 1 によって、テストパターン生成部 2 0 1 の 2 倍の周波数で動作するメモリ 2 0 5 に対して、実動作速度でテストパターンを印加することが可能となる点は、第 2 の実施の形態と同様である。

【 0 0 9 4 】

なお、クロック C K 2 の 2 倍の周波数のクロック C K 1 でメモリ動作する場合には、遅延回路 2 0 6 としては、図 1 1 に示すように、クロック C K 1 の立ち下がリエッジで動作するフリップフロップ、あるいは図 1 2 に示すように、クロック C K 1 の H i g h 区間の時にデータがスルーするラッチを用いても、本実施の形態と同様の効果を得ることができる。

【 0 0 9 5 】

なお、メモリ 2 0 5 が D D R メモリの場合は、図 1 0 のタイミング図に示すように、D D R メモリのクロック C K 1 と B I S T 回路のクロック C K 2 とに同一の周波数のクロック信号を入力することで、クロック C K 1 の立ち上がりエッジと立ち下がリエッジの両方のエッジに同期して D D R メモリにテストパターンを入力することができ、本実施の形態と同様の効果を得ることができる。

【 0 0 9 6 】

(第 4 の実施の形態)

図 1 3 は本発明の第 4 の実施の形態における半導体集積回路およびメモリのテスト方法を説明するためのブロック図であり、図 1 4 はタイミング図である。

【 0 0 9 7 】

以下、図 1 3 に示す半導体集積回路におけるメモリのテスト方法について、図 7 のフローチャートに基づいて説明する。

【 0 0 9 8 】

図 4 の半導体集積回路と異なる点は、クロック選択部 2 0 7 を備えた点である。

【 0 0 9 9 】

クロック選択部 2 0 7 は、第 2 のクロック C K 2 または第 2 のクロック C K 2

の反転信号を選択してクロックCK4として出力する回路である。テストデータ選択部204では、クロック選択部207から出力されるクロックCK4の信号値に応じて、LSB0処理部202で生成されたアドレス信号TP1とLSB1処理部203で生成されたアドレス信号TP2とが選択される。

【0100】

クロック選択部207で、クロックCK2の反転信号が選択された場合について説明する。

【0101】

第1のクロックCK1は、入力クロックの立ち上がりエッジに同期して動作するメモリ205のクロック信号である。第2のクロックCK2は、入力クロックの立ち上がりエッジに同期して動作するテストパターン生成部201のクロック信号であり、その周波数はクロックCK1の1/2である。

【0102】

テストパターン生成処理ST301において、クロックCK2の立ち上がりエッジに同期してテストパターン生成部201で、時刻t0でアドレス信号TP0として{11}が生成され、時刻t2でアドレス信号TP0として{10}が生成され、時刻t4でアドレス信号TP0として{01}が生成され、時刻t6でアドレス信号TP0として{00}が生成される。

【0103】

LSB処理ST302は、テストパターン生成部201で生成されたアドレス信号TP0の最下位ビットに0または1を付加する処理を行う。LSB0処理部202ではアドレス信号TP0の最下位ビットに0を付加し、LSB1処理部203ではアドレス信号TP0の最下位ビットに1を付加する。

【0104】

図14に示すタイミング図において、時刻t0では、アドレス信号TP0として生成された2ビットアドレス{11}に対して、LSB0処理部202において、アドレス信号TP0の最下位ビットに0が付加され、3ビットのアドレス{110}が生成され、LSB1処理部203において、アドレス信号TP0の最下位ビットに1が付加され、3ビットのアドレス{111}が生成される。

【 0 1 0 5 】

時刻 t_2 では、アドレス信号 TP_0 として生成された 2 ビットアドレス { 1 0 } に対して、LSB 0 処理部 2 0 2 において、アドレス信号 TP_0 の最下位ビットに 0 が付加され、3 ビットのアドレス { 1 0 0 } が生成され、LSB 1 処理部 2 0 3 において、アドレス信号 TP_0 の最下位ビットに 1 が付加され、3 ビットのアドレス { 1 0 1 } が生成される。

【 0 1 0 6 】

時刻 t_4 では、アドレス信号 TP_0 として生成された 2 ビットアドレス { 0 1 } に対して、LSB 0 処理部 2 0 2 において、アドレス信号 TP_0 の最下位ビットに 0 が付加され、3 ビットのアドレス { 0 1 0 } が生成され、LSB 1 処理部 2 0 3 において、アドレス信号 TP_0 の最下位ビットに 1 が付加され、3 ビットのアドレス { 0 1 1 } が生成される。

【 0 1 0 7 】

時刻 t_6 では、アドレス信号 TP_0 として生成された 2 ビットアドレス { 0 0 } に対して、LSB 0 処理部 2 0 2 において、アドレス信号 TP_0 の最下位ビットに 0 が付加され、3 ビットのアドレス { 0 0 0 } が生成され、LSB 1 処理部 2 0 3 において、アドレス信号 TP_0 の最下位ビットに 1 が付加され、3 ビットのアドレス { 0 0 1 } が生成される。

【 0 1 0 8 】

クロック選択部 2 0 7 では、クロック CK_2 またはクロック CK_2 の反転信号を選択して出力し、テストデータ選択部 2 0 4 では、クロック選択部 2 0 7 から出力されるクロック CK_4 の信号値に応じて、LSB 0 処理部 2 0 2 で生成されたアドレス信号 TP_1 と LSB 1 処理部 2 0 3 で生成されたアドレス信号 TP_2 を選択する。

【 0 1 0 9 】

つまり、テストデータ選択処理 ST_{303} では、クロック選択部 2 0 7 のクロック CK_4 の信号値によって、LSB 0 処理部 2 0 2 で生成されたアドレス信号 TP_1 と LSB 1 処理部 2 0 3 で生成されたアドレス信号 TP_2 とを選択的に出力する。

【 0 1 1 0 】

テストデータ選択部 2 0 4 では、クロック C K 4 が論理値 1 の時にアドレス信号 T P 1 を選択し、クロック C K 4 が論理値 0 の時にアドレス信号 T P 2 を選択する。

【 0 1 1 1 】

クロック選択部 2 0 7 の出力クロック C K 4 として、クロック C K 2 の反転信号が選択され、クロック C K 2 の論理値が 1、すなわちクロック C K 4 の論理値が 0 の区間である時刻 t_0 から時刻 t_1 までの間は、テストデータ選択部 2 0 4 からアドレス信号 T P 3 として { 1 1 1 } が出力され、クロック C K 2 の論理値が 0、すなわちクロック C K 4 の論理値が 1 の区間である時刻 t_1 から時刻 t_2 までの間は、テストデータ選択部 2 0 4 からアドレス信号 T P 3 として { 1 1 0 } が出力される。

【 0 1 1 2 】

クロック C K 2 の論理値が 1、すなわちクロック C K 4 の論理値が 0 の区間である時刻 t_2 から時刻 t_3 までの間は、テストデータ選択部 2 0 4 からアドレス信号 T P 3 として { 1 0 1 } が生成され、クロック C K 2 の論理値が 0、すなわちクロック C K 4 の論理値が 1 の区間である時刻 t_3 から時刻 t_4 までの間は、テストデータ選択部 2 0 4 からアドレス信号 T P 3 として { 1 0 0 } が生成される。

【 0 1 1 3 】

クロック C K 2 の論理値が 1、すなわちクロック C K 4 の論理値が 0 の区間である時刻 t_4 から時刻 t_5 までの間は、テストデータ選択部 2 0 4 からアドレス信号 T P 3 として { 0 1 1 } が生成され、クロック C K 2 の論理値が 0、すなわちクロック C K 4 の論理値が 1 の区間である時刻 t_5 から時刻 t_6 までの間は、テストデータ選択部 2 0 4 からアドレス信号 T P 3 として { 0 1 0 } が生成される。

【 0 1 1 4 】

クロック C K 2 の論理値が 1、すなわちクロック C K 4 の論理値が 0 の区間である時刻 t_6 から時刻 t_7 までの間は、テストデータ選択部 2 0 4 からアドレス

信号 T P 3 として { 0 0 1 } が生成され、クロック C K 2 の論理値が 0、すなわちクロック C K 4 の論理値が 0 の区間である時刻 t 7 から時刻 t 8 までの間は、テストデータ選択部 2 0 4 からアドレス信号 T P 3 として { 0 0 0 } が生成される。

【 0 1 1 5 】

テストパターン印加処理 S T 3 0 4 では、テストデータ選択部 2 0 4 から出力されたアドレス信号 T P 3 が、メモリ 2 0 5 に印加される。

【 0 1 1 6 】

以上のように、本実施の形態によれば、クロック C K 2 によって動作する単一のテストパターン生成部 2 0 1 によって、テストパターン生成部 2 0 1 の 2 倍の周波数で動作するメモリ 2 0 5 に対して、実動作速度でテストパターンを印加することが可能となる。その他の効果は、第 2 の実施の形態と同様である。

【 0 1 1 7 】

また、本実施の形態では、クロック選択部 2 0 7 として、クロック C K 2 と、クロック C K 2 をインバータ 2 0 7 a により反転した信号とをセレクタ 2 0 7 b で選択する回路を用いたが、クロック選択部 2 0 8 として図 1 6 のように排他的論理和回路 2 0 8 a を用いて、クロック C K 2 とクロック C K 2 の反転信号とを選択的に出力できる回路を用いた場合であっても、本実施の形態と同様の効果を得ることができる。

【 0 1 1 8 】

また、クロック選択部 2 0 7 または 2 0 8 を設けることで、テストデータ選択部 2 0 4 において、クロック C K 2 が 0 の時に選択される信号と、クロック C K 2 が 1 の時に選択される信号とを切り替えることができるため、クロック C K 2 の値が 1 の時に、偶数アドレスがメモリ 2 0 5 に印加され、クロック C K 2 の値が 0 の時に、奇数アドレスがメモリ 2 0 5 に印加されるだけでなく、クロック C K 2 の値が 1 の時に、奇数アドレスがメモリ 2 0 5 に印加され、クロック C K 2 の値が 0 の時に、偶数アドレスがメモリ 2 0 5 に印加される構成とすることが可能となり、テストパターンの質が高くなるとともに、アドレスのインクリメントおよびデクリメントを実施することが可能となる。

【 0 1 1 9 】

なお、テストパターンの質は、以下のことを言う。すなわち、実動作では、クロック C K 2 がハイの時（ダブルデータレートメモリの場合には、クロック C K 1 がハイのときに相当する）に、偶数アドレスでも奇数アドレスでもアクセスされるはずである。テスト時において、クロック C K 2 がハイの時に偶数アドレスしかアクセスできないということは、良質なテストとは言えない。クロック C K 2 がハイの時に奇数アドレスにアクセスするテストができていないので、テストパターンの質がよくないと表現していた。今回、奇数アドレスおよび偶数アドレスの両方でテストができるので、テストパターンの質が高くなると表現している。

【 0 1 2 0 】

なお、メモリ 2 0 5 が D D R メモリの場合は、図 1 5 のタイミング図に示すように、D D R メモリのクロック C K 1 とクロック C K 2 とに同一の周波数のクロックを入力することで、D D R メモリのクロック C K 1 の立ち上がりエッジと立ち下がりエッジの両方のエッジに同期してテストパターンを入力することができ、本実施の形態と同様の効果を得ることができる。

【 0 1 2 1 】

（第 5 の実施の形態）

図 1 7 は本発明の第 5 の実施の形態における半導体集積回路およびメモリのテスト方法を説明するためのブロック図であり、図 1 8 はタイミング図である。

【 0 1 2 2 】

以下、図 1 7 に示す半導体集積回路におけるメモリのテスト方法について、図 2 0 のフローチャートに基づいて説明する。

【 0 1 2 3 】

図 1 7 において、2 0 5 は入力クロックの立ち上がりエッジに同期して動作するメモリである。6 0 1 は入力クロックの立ち上がりエッジに同期して動作する期待値比較部である。6 0 2 は入力クロックの立ち下がりエッジに同期して動作する記憶素子であり、たとえばフリップフロップ 6 0 2 a からなる。

【 0 1 2 4 】

第 1 のクロック C K 1 はメモリ 2 0 5 のクロック信号であり、第 2 のクロック C K 2 は、期待値比較部 6 0 1 のおよび記憶素子 6 0 2 のクロック信号であり、その周波数はクロック C K 1 の $1/2$ である。

【 0 1 2 5 】

メモリデータ出力処理 S T 7 0 1 では、時刻 t_0 , t_1 , t_2 , t_3 , t_4 , t_5 , t_6 , t_7 , t_8 でクロック C K 1 の立ち上がりエッジに同期して、メモリ 2 0 5 のデータ出力ポート D O U T からデータ信号 6 1 0 が出力される。

【 0 1 2 6 】

時刻 t_0 でクロック C K 1 の立ち上がりエッジに同期してメモリ 2 0 5 から出力されるデータ 6 1 0 は、データ一時取り込み処理 S T 7 0 2 において、クロック C K 2 の立ち下がりエッジに同期してフリップフロップ 6 0 2 に、時刻 t_1 で取り込まれ、データ信号 6 1 1 として期待値比較処理 S T 7 0 3 において、期待値比較部 6 0 1 に入り、時刻 t_2 で期待値と比較される。

【 0 1 2 7 】

また、時刻 t_1 でクロック C K 1 の立ち上がりエッジに同期してメモリ 2 0 5 から出力されるデータは、データ信号 6 1 0 として期待値比較部 6 0 1 に入り、時刻 t_2 で期待値と比較される。

【 0 1 2 8 】

以下同様に、時刻 t_2 でクロック C K 1 の立ち上がりエッジに同期してメモリ 2 0 5 から出力されるデータは、データ一時取り込み処理 S T 7 0 2 において、クロック C K 2 の立ち下がりエッジに同期してフリップフロップ 6 0 2 に、時刻 t_3 で取り込まれ、データ信号 6 1 1 として期待値比較部 6 0 1 に入り、時刻 t_4 で期待値と比較される。

【 0 1 2 9 】

また、時刻 t_3 でクロック C K 1 の立ち上がりエッジに同期してメモリ 2 0 5 から出力されるデータは、データ信号 6 1 0 として、期待値比較処理 S T 7 0 3 において、期待値比較部 6 0 1 に入り、時刻 t_4 で期待値と比較される。

【 0 1 3 0 】

時刻 t_4 でクロック C K 1 の立ち上がりエッジに同期してメモリ 2 0 5 から出

力されるデータは、データ一時取り込み処理 S T 7 0 2 において、クロック C K 2 の立ち下がリエッジに同期してフリップフロップ 6 0 2 に、時刻 t 5 で取り込まれ、データ信号 6 1 1 として期待値比較部 6 0 1 に入り、時刻 t 6 で期待値と比較される。

【 0 1 3 1 】

また、時刻 t 5 でクロック C K 1 の立ち上がりエッジに同期してメモリ 2 0 5 から出力されるデータは、データ信号 6 1 0 として、期待値比較処理 S T 7 0 3 において、期待値比較部 6 0 1 に入り、時刻 t 6 で期待値と比較される。

【 0 1 3 2 】

時刻 t 6 でクロック C K 1 の立ち上がりエッジに同期してメモリ 2 0 5 から出力されるデータは、データ一時取り込み処理 S T 7 0 2 において、クロック C K 2 の立ち下がリエッジに同期してフリップフロップ 6 0 2 に、時刻 t 7 で取り込まれ、データ信号 6 1 1 として期待値比較部 6 0 1 に入り、時刻 t 8 で期待値と比較される。

【 0 1 3 3 】

また、時刻 t 7 でクロック C K 1 の立ち上がりエッジに同期してメモリ 2 0 5 から出力されるデータは、データ信号 6 1 0 として期待値比較処理 S T 7 0 3 において、期待値比較部 6 0 1 に入り、時刻 t 8 で期待値と比較される。

【 0 1 3 4 】

以上のように、本実施の形態によれば、期待値比較処理 S T 7 0 3 で期待値と比較するのは、クロック C K 2 のクロックの立ち上がりタイミングのみであり、期待値比較部 6 0 1 の動作の 2 倍の周波数で動作するメモリ 2 0 5 に対して、期待値比較部 6 0 1 の動作速度を変えずに、実動作速度でテストパターンを印加することが可能となる。

【 0 1 3 5 】

なお、本実施の形態では記憶素子 6 0 2 としては、クロック C K 2 の立ち下がリエッジで動作するフリップフロップを用いたが、クロック C K 2 の H i g h 区間にデータを通すラッチを用いても本実施の形態と同様の効果が得られる。

【 0 1 3 6 】

なお、メモリ 2 0 5 が D D R メモリの場合は、図 1 9 のタイミング図に示すように、D D R メモリのクロック C K 1 とクロック C K 2 に同一の周波数のクロック信号を入力することで、D D R メモリのクロック C K 1 の立ち上がりエッジと立ち下がりエッジの両方のエッジに同期して出力されるメモリ 2 0 5 のデータ信号を、クロック C K 2 の立ち上がりタイミングだけで期待値比較を行うことで、本実施の形態と同様の効果を得ることができる。

【 0 1 3 7 】

以上説明したように、上記本発明の実施の形態の半導体集積回路およびメモリのテスト方法によれば、B I S T 回路のクロックの値に応じて、入力データを切り替えることで、メモリ 2 0 5 のクロック周波数の $1 / 2$ のクロック周波数で動作させ、メモリ 2 0 5 の実動作速度でのテストパターンの印加が可能となる。

【 0 1 3 8 】

また、期待値比較においては、記憶素子 6 0 2 を用いてメモリ 2 0 5 のデータ出力を保持させ、次に出力されるデータ出力とともに、期待値の比較を行うことで、メモリのクロック周波数の $1 / 2$ のクロック周波数で動作する期待値比較部 6 0 1 で、メモリを実動作速度で期待値比較を行うことが可能となる。

【 0 1 3 9 】

また、D D R メモリのようにクロックの立ち上がりと立ち下がりの両エッジに同期して動作する高速メモリに対しても、D D R メモリのクロック周波数と同一のクロック周波数で、B I S T 回路を動作させることで、D D R メモリの実動作速度のテストを行うことが可能となる。

【 0 1 4 0 】

【発明の効果】

本発明の請求項 1，2 記載の半導体集積回路によれば、第 1 および第 2 のテストパターン生成部およびテストデータ選択部の動作速度をメモリの動作速度の $1 / 2$ に抑えた状態でも、メモリのテストを実動作速度で行うことができる。第 1 および第 2 のテストパターン生成部およびテストデータ選択部の動作速度は遅くてもよいので、駆動能力は小さくてよく、したがって回路面積が少なくてすみ、消費電力を少なく抑えることができる。

【 0 1 4 1 】

本発明の請求項 3 記載の半導体集積回路によれば、テストパターン生成部、LSB0 処理部、LSB1 処理部およびテストデータ選択部の動作速度をメモリの動作速度の $1/2$ に抑えた状態でも、メモリのテストを実動作速度で行うことができる。テストパターン生成部、LSB0 処理部、LSB1 処理部およびテストデータ選択部の動作速度は遅くてもよいので、駆動能力は小さくてよく、したがって回路面積が少なくすみ、消費電力を少なく抑えることができる。

【 0 1 4 2 】

本発明の請求項 4 記載の半導体集積回路によれば、第 2 のクロックを遅延させているので、第 1 のクロックに対してホールド時間を確保でき、高速に動作するメモリに対して安定したテストパターンを印加することができる。その他は請求項 3 と同様である。

【 0 1 4 3 】

本発明の請求項 5 記載の半導体集積回路によれば、第 2 のクロックと第 2 のクロックの反転クロックとのいずれか一方をクロック選択部で選択し、選択されたクロックに応じてテストデータ選択部で第 2 および第 3 のテストデータを選択するようにしたので、クロック選択部の選択の状態を逆にすることで、第 2 および第 3 のテストデータを各々選択するタイミングを逆にすることができる。その結果、テストパターンの質が高くなるとともに、テストパターンとしてアドレス信号を与えるときにアドレス信号のインクリメントおよびデクリメントを選択的に行うことができる。その他は請求項 3 と同じである。

【 0 1 4 4 】

本発明の請求項 6 記載の半導体集積回路によれば、記憶素子および期待値比較部の動作速度をメモリの動作速度の $1/2$ に抑えた状態でも、メモリのテストを実動作速度で行うことができる。記憶素子および期待値比較部の動作速度は遅くてもよいので、駆動能力は小さくてよく、したがって回路面積が少なくすみ、消費電力を少なく抑えることができる。

【 0 1 4 5 】

本発明の請求項 7, 8 記載の半導体集積回路によれば、第 1 および第 2 のテス

トパターン生成部およびテストデータ選択部の動作速度をダブルデータレートメモリの動作速度と同じに抑えた状態でも、ダブルデータレートメモリのテストを実動作速度で行うことができる。第 1 および第 2 のテストパターン生成部およびテストデータ選択部の動作速度は遅くてもよいので、駆動能力は小さくてよく、したがって回路面積が少なくてすみ、消費電力を少なく抑えることができる。

【 0 1 4 6 】

本発明の請求項 9 記載の半導体集積回路によれば、テストパターン生成部、LSB 0 処理部、LSB 1 処理部およびテストデータ選択部の動作速度をダブルデータレートメモリの動作速度と同じに抑えた状態でも、ダブルデータレートメモリのテストを実動作速度で行うことができる。テストパターン生成部、LSB 0 処理部、LSB 1 処理部およびテストデータ選択部の動作速度は遅くてもよいので、駆動能力は小さくてよく、したがって回路面積が少なくてすみ、消費電力を少なく抑えることができる。

【 0 1 4 7 】

本発明の請求項 1 0 記載の半導体集積回路によれば、第 2 のクロックを遅延させているので、第 1 のクロックに対してホールド時間を確保でき、高速に動作するダブルデータレートメモリに対して安定したテストパターンを印加することができる。その他は請求項 9 と同様である。

【 0 1 4 8 】

本発明の請求項 1 1 記載の半導体集積回路によれば、第 2 のクロックと第 2 のクロックの反転クロックとのいずれか一方をクロック選択部で選択し、選択されたクロックに応じてテストデータ選択部で第 2 および第 3 のテストデータを選択するようにしたので、クロック選択部の選択の状態を逆にすることで、第 2 および第 3 のテストデータを各々選択するタイミングを逆にすることができる。その結果、テストパターンの質が高くなるとともに、テストパターンとしてアドレス信号を与えるときにアドレス信号のインクリメントおよびデクリメントを選択的に行うことができる。その他は請求項 9 と同じである。

【 0 1 4 9 】

本発明の請求項 1 2 記載の半導体集積回路によれば、記憶素子および期待値比

較部の動作速度をダブルデータレートメモリの動作速度と同じに抑えた状態でも、ダブルデータレートメモリのテストを実動作速度で行うことができる。記憶素子および期待値比較部の動作速度は遅くてもよいので、駆動能力は小さくてよく、したがって回路面積が少なくすみ、消費電力を少なく抑えることができる。

【 0 1 5 0 】

本発明の請求項 1 3, 1 4, 1 5 記載のメモリのテスト方法によれば、第 1 のクロックで動作するメモリのテストを第 1 のクロックの $1/2$ の周波数の第 2 のクロックで実行することができる。この際、第 2 のクロックの周波数が低くてよいことから、テストを行うための回路の駆動能力が小さくてよく、したがって回路面積が少なくすみ、またテストを行うための電力消費を少なくできる。

【 0 1 5 1 】

本発明の請求項 1 6, 1 7, 1 8 記載のメモリのテスト方法によれば、第 1 のクロックで動作するダブルデータレートメモリのテストを第 1 のクロックと同じ周波数の第 2 のクロックで実行することができる。この際、第 2 のクロックの周波数を第 1 のクロックの 2 倍にする必要がなく、第 2 のクロックの周波数が低くてよいことから、テストを行うための回路の駆動能力が小さくてよく、したがって回路面積が少なくすみ、またテストを行うための電力消費を少なくできる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態の半導体集積回路の構成を示すブロック図である。

【図 2】

本発明の第 1 の実施の形態の半導体集積回路の動作を説明するためのタイムチャートである。

【図 3】

本発明の第 1 の実施の形態の半導体集積回路の動作を説明するためのタイムチャートである。

【図 4】

本発明の第 2 の実施の形態の半導体集積回路の構成を示すブロック図である。

【図 5】

本発明の第 2 の実施の形態の半導体集積回路の動作を説明するためのタイムチャートである。

【図 6】

本発明の第 2 の実施の形態の半導体集積回路の動作を説明するためのタイムチャートである。

【図 7】

第 1, 第 2, 第 3 および第 4 の実施の形態におけるメモリのテスト方法を示すフローチャートである。

【図 8】

本発明の第 3 の実施の形態の半導体集積回路の構成を示すブロック図である。

【図 9】

本発明の第 3 の実施の形態の半導体集積回路の動作を説明するためのタイムチャートである。

【図 1 0】

本発明の第 3 の実施の形態の半導体集積回路の動作を説明するためのタイムチャートである。

【図 1 1】

本発明の第 3 の実施の形態の半導体集積回路の遅延回路の第 1 の具体例を示すブロック図である。

【図 1 2】

本発明の第 3 の実施の形態の半導体集積回路の遅延回路の第 2 の具体例を示すブロック図である。

【図 1 3】

本発明の第 4 の実施の形態の半導体集積回路の構成を示すブロック図である。

【図 1 4】

本発明の第 4 の実施の形態の半導体集積回路の動作を説明するためのタイムチャートである。

【図 1 5】

本発明の第 4 の実施の形態の半導体集積回路の動作を説明するためのタイムチ

ャートである。

【図 1 6】

本発明の第 4 の実施の形態の半導体集積回路のクロック選択部の他の構成を示すブロック図である。

【図 1 7】

本発明の第 5 の実施の形態の半導体集積回路の構成を示すブロック図である。

【図 1 8】

本発明の第 5 の実施の形態の半導体集積回路の動作を説明するためのタイムチャートである。

【図 1 9】

本発明の第 5 の実施の形態の半導体集積回路の動作を説明するためのタイムチャートである。

【図 2 0】

本発明の第 5 の実施の形態におけるメモリのテスト方法を示すフローチャートである。

【図 2 1】

従来技術を示すブロック図である。

【図 2 2】

従来技術の動作を示すタイムチャートである。

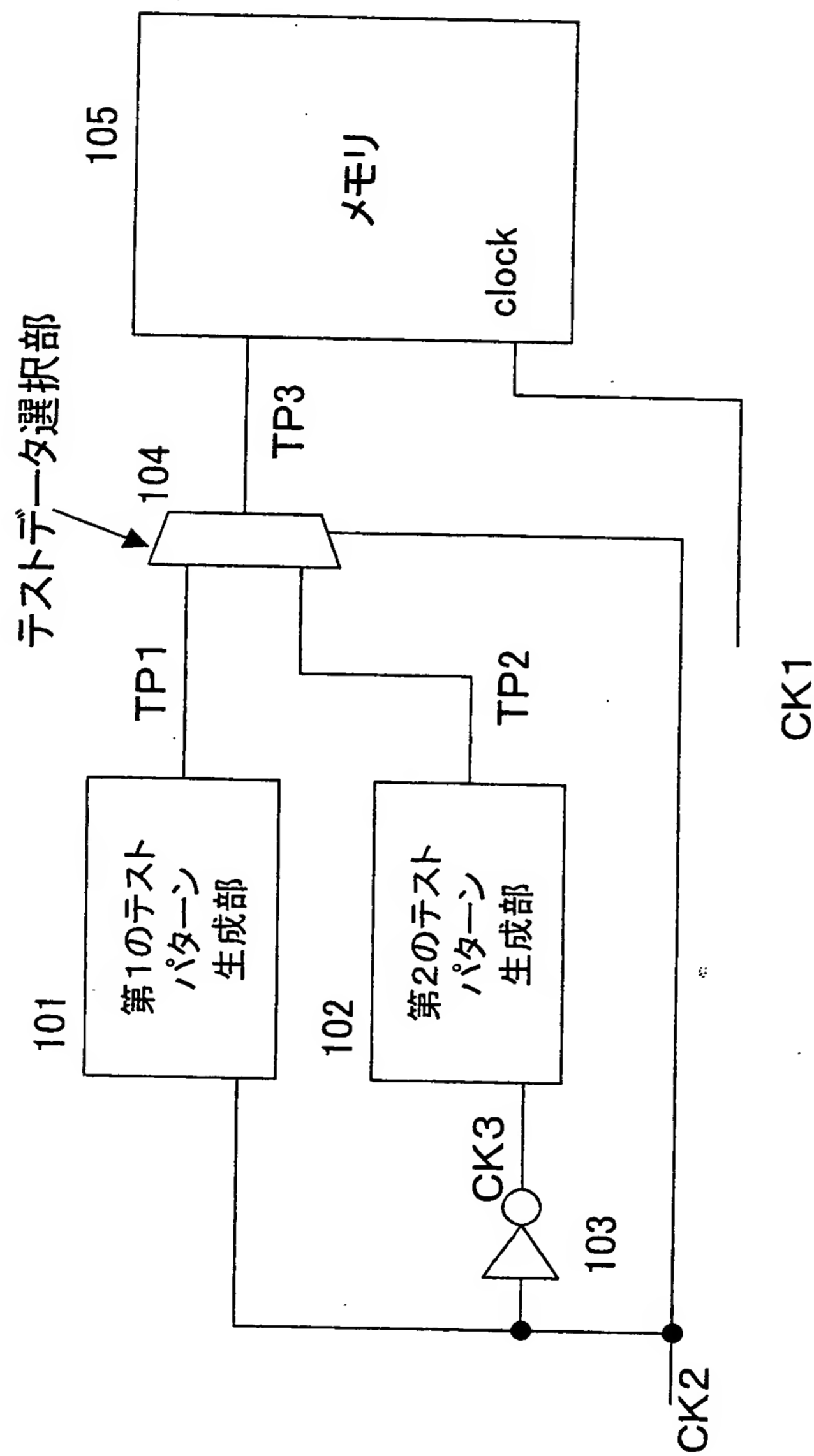
【符号の説明】

- | | |
|-------|-----------------|
| 1 0 1 | 第 1 のテストパターン生成部 |
| 1 0 2 | 第 2 のテストパターン生成部 |
| 1 0 3 | インバータ |
| 1 0 4 | テストデータ選択部 |
| 1 0 5 | メモリ |
| 2 0 1 | テストパターン生成部 |
| 2 0 2 | L S B 0 処理部 |
| 2 0 3 | L S B 1 処理部 |
| 2 0 4 | テストデータ選択部 |

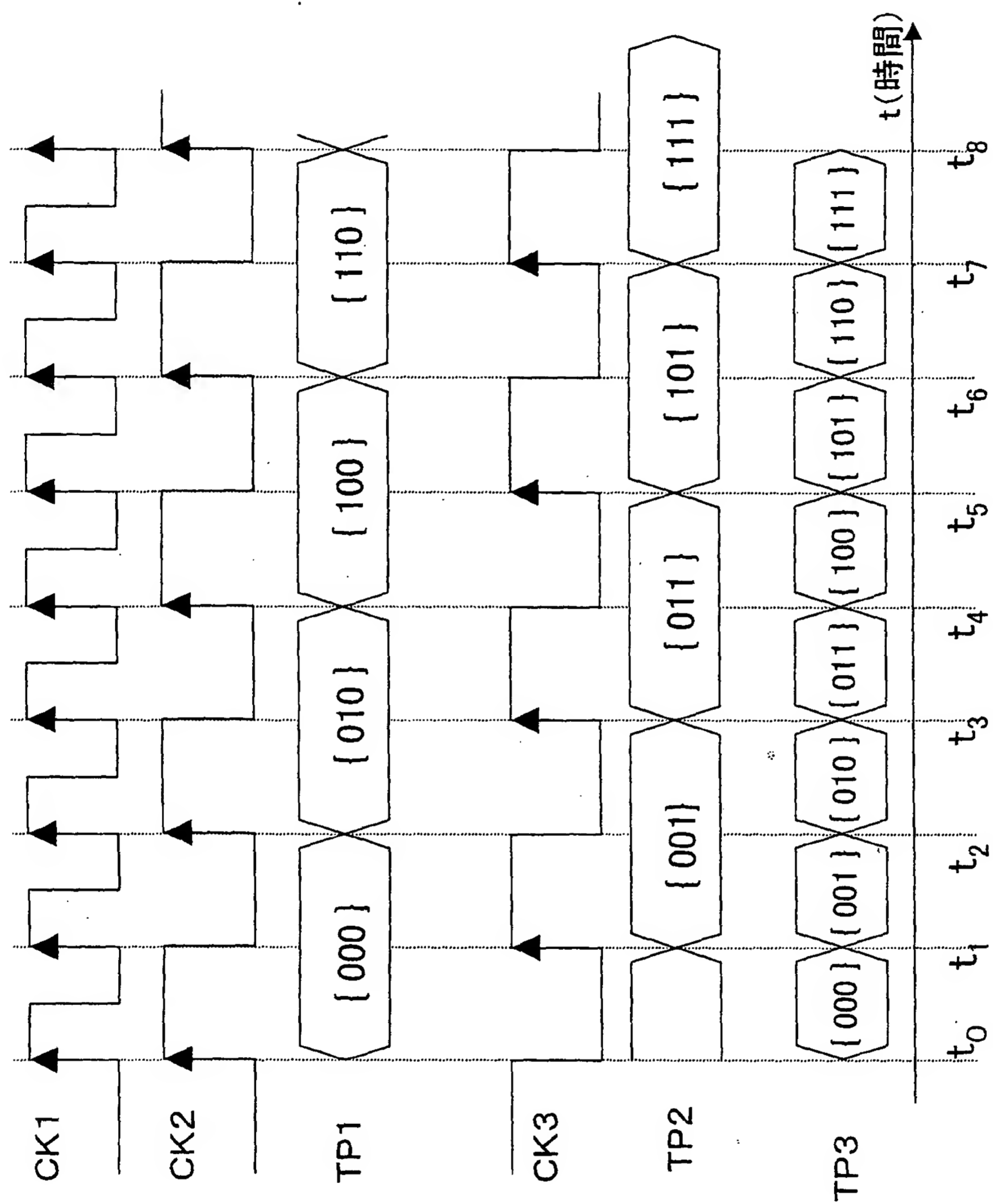
2 0 5 メモリ
2 0 6 遅延回路
2 0 7, 2 0 8 クロック選択部
6 0 1 期待値比較部
6 0 2 記憶素子

【書類名】 図面

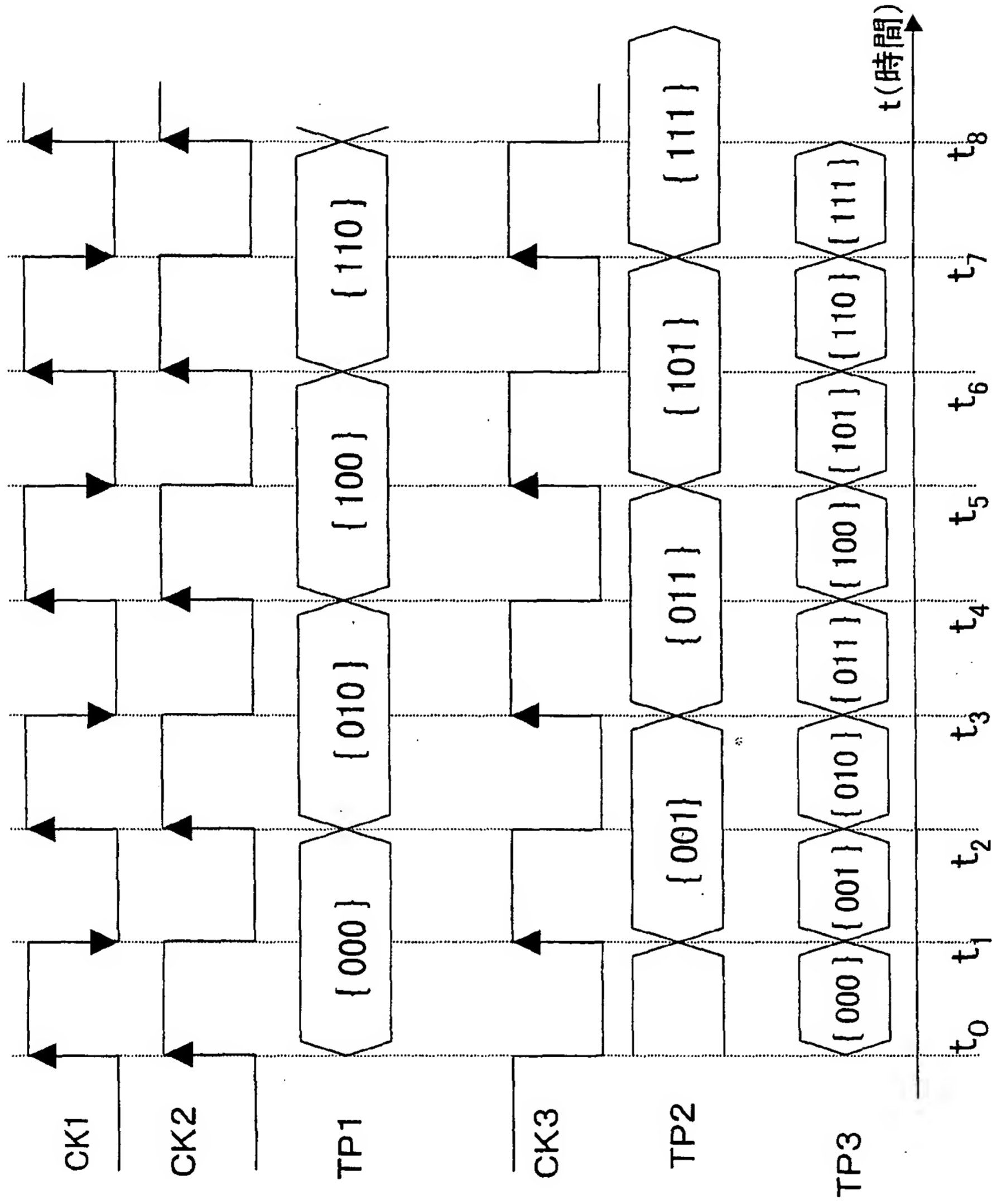
【図 1】



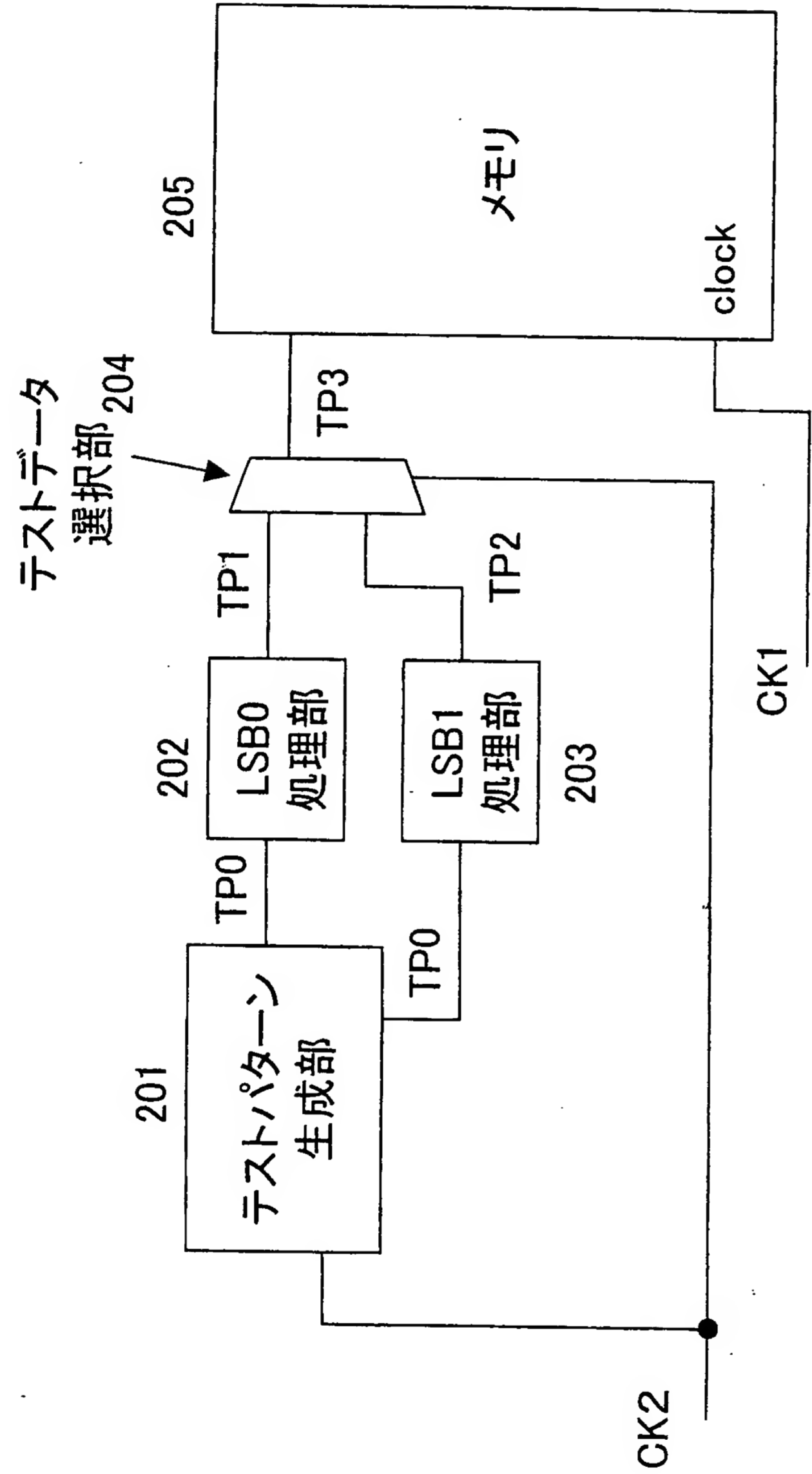
【図 2】



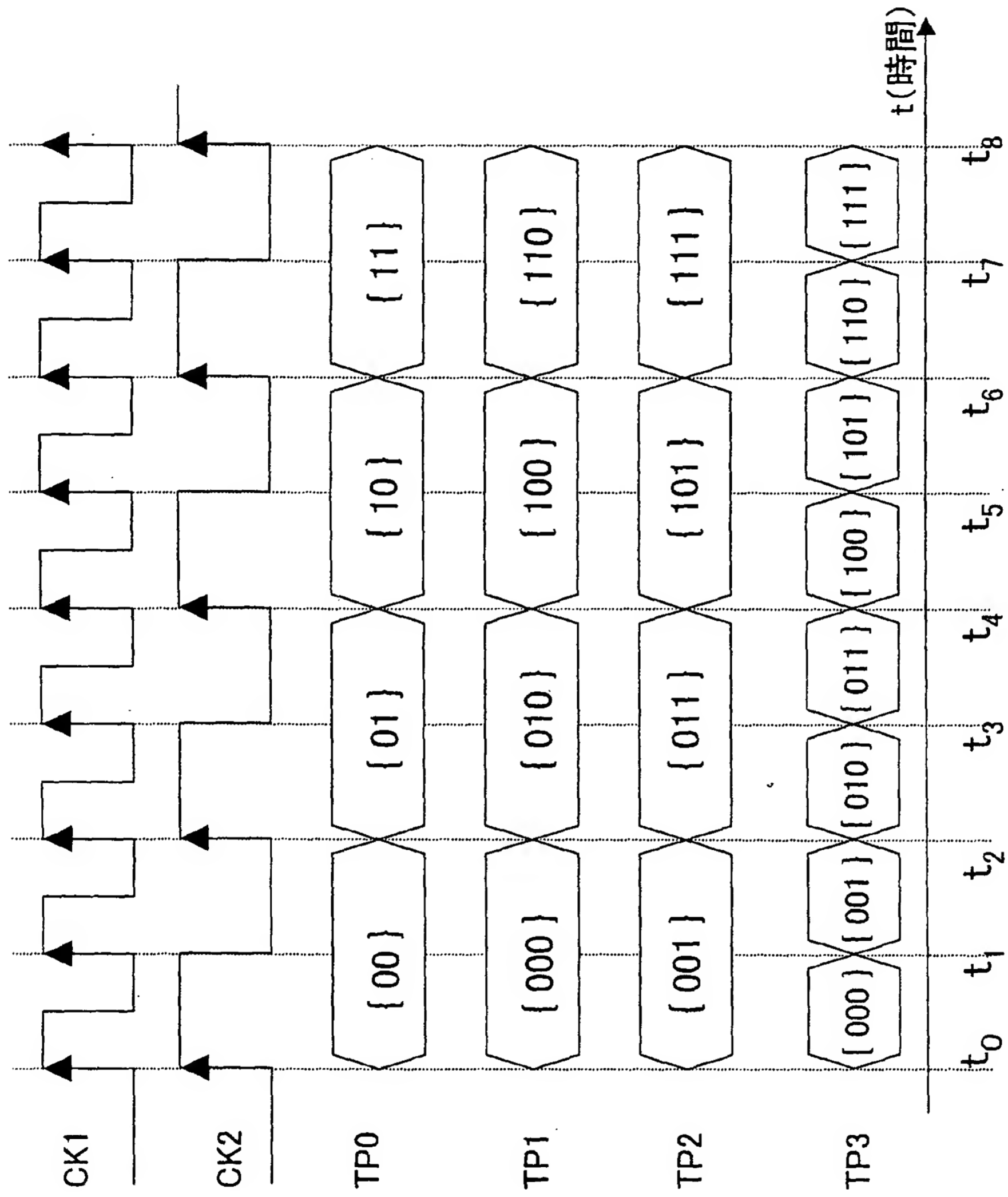
【図 3】



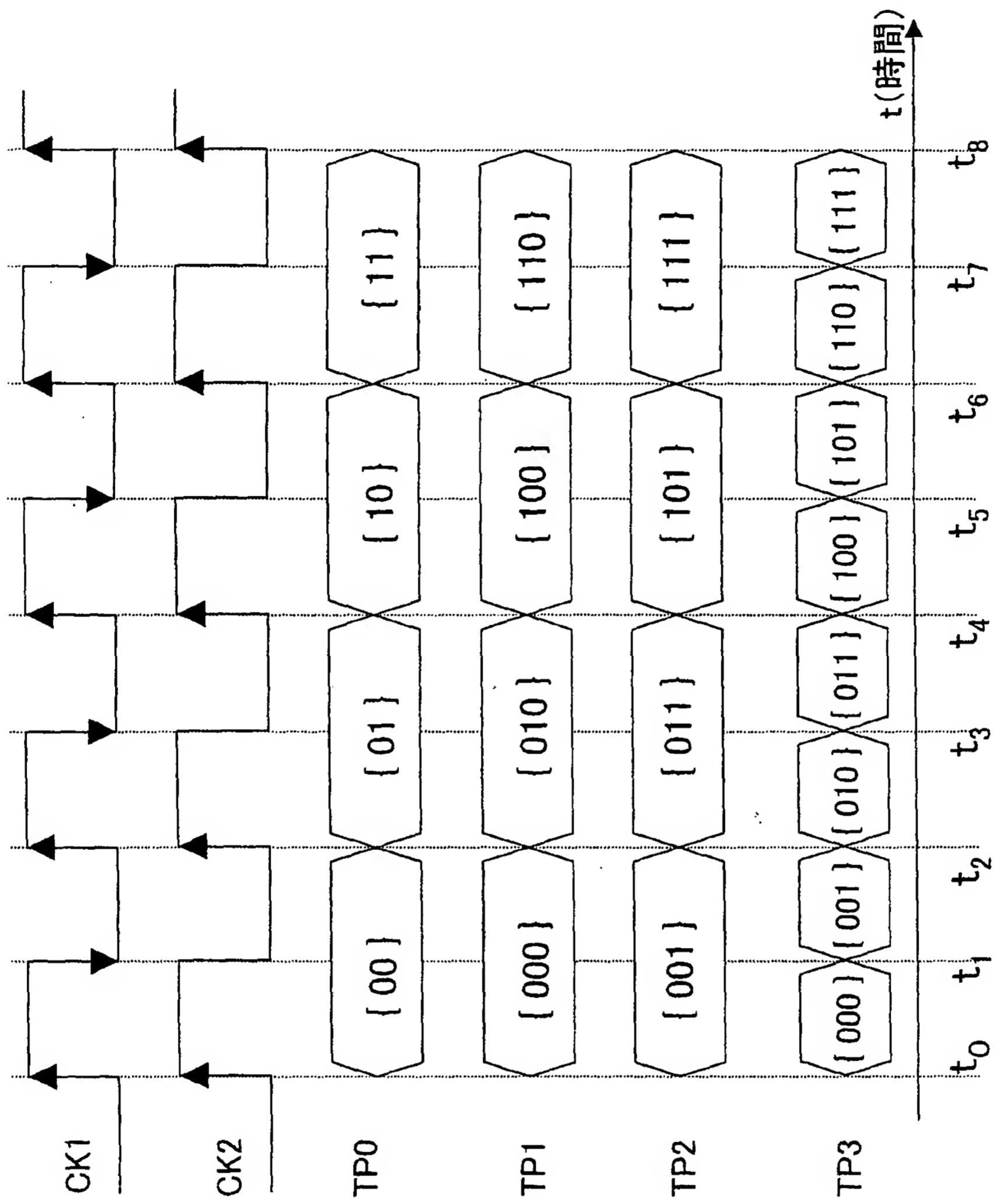
【図 4】



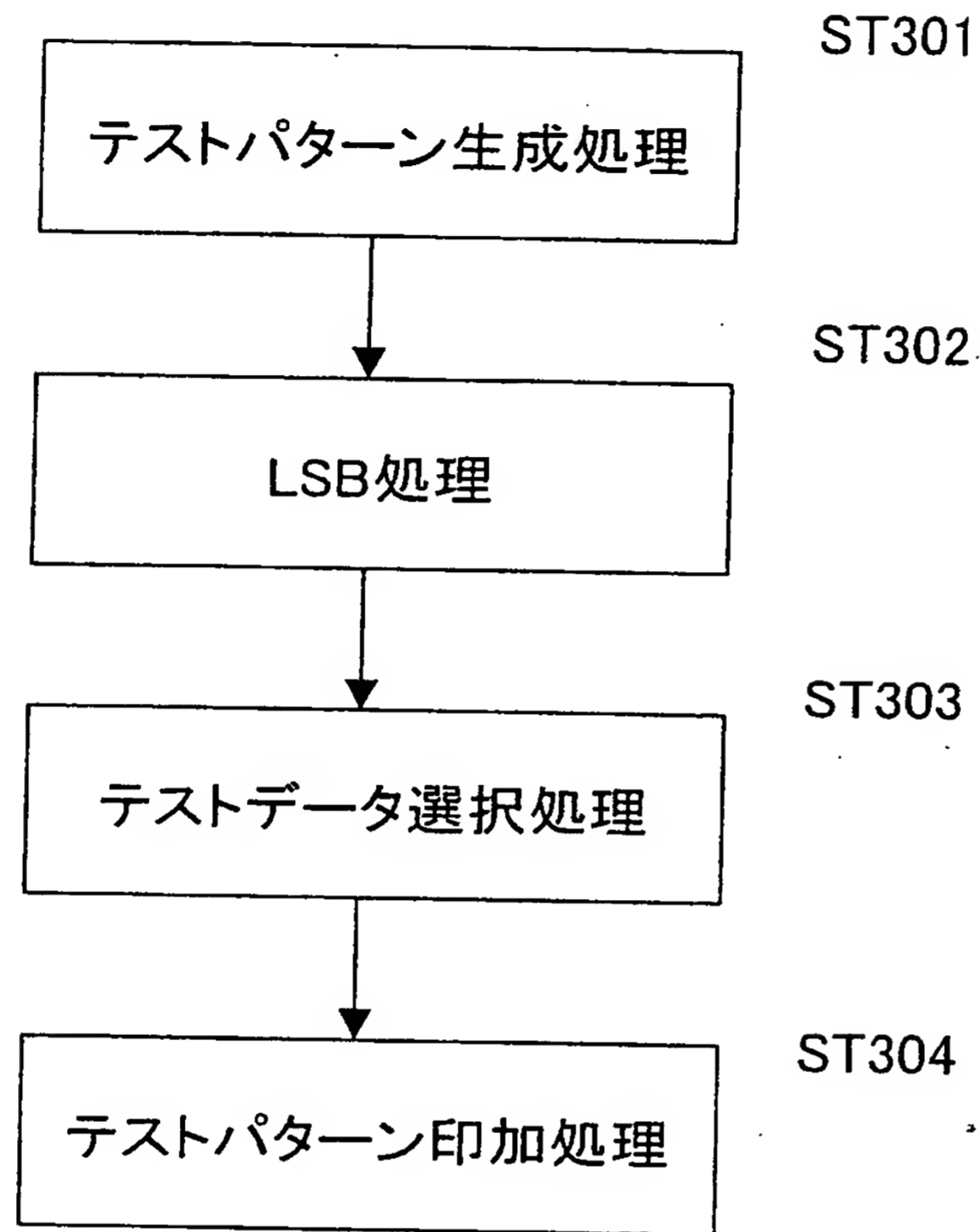
【図 5】



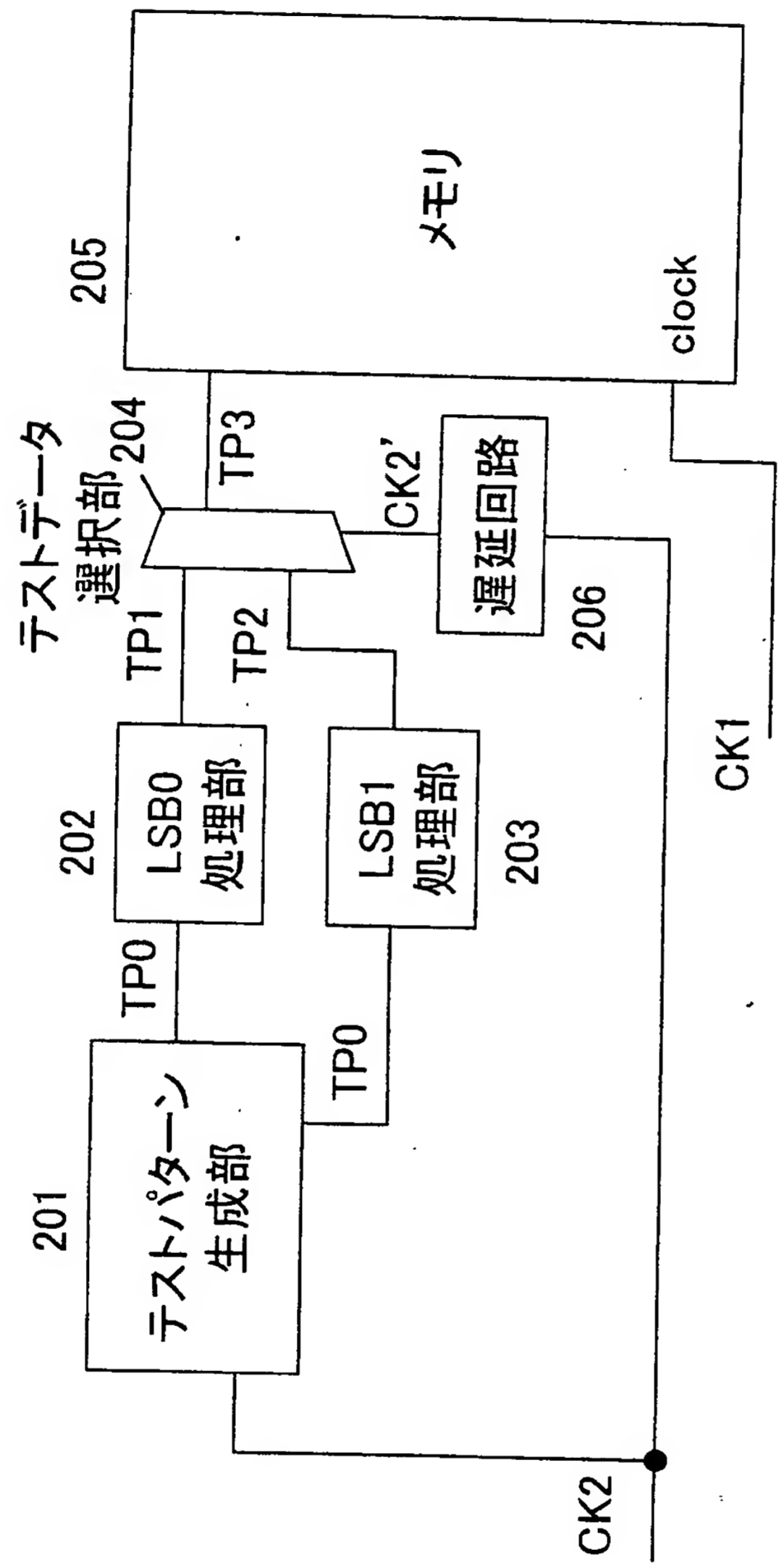
【図 6】



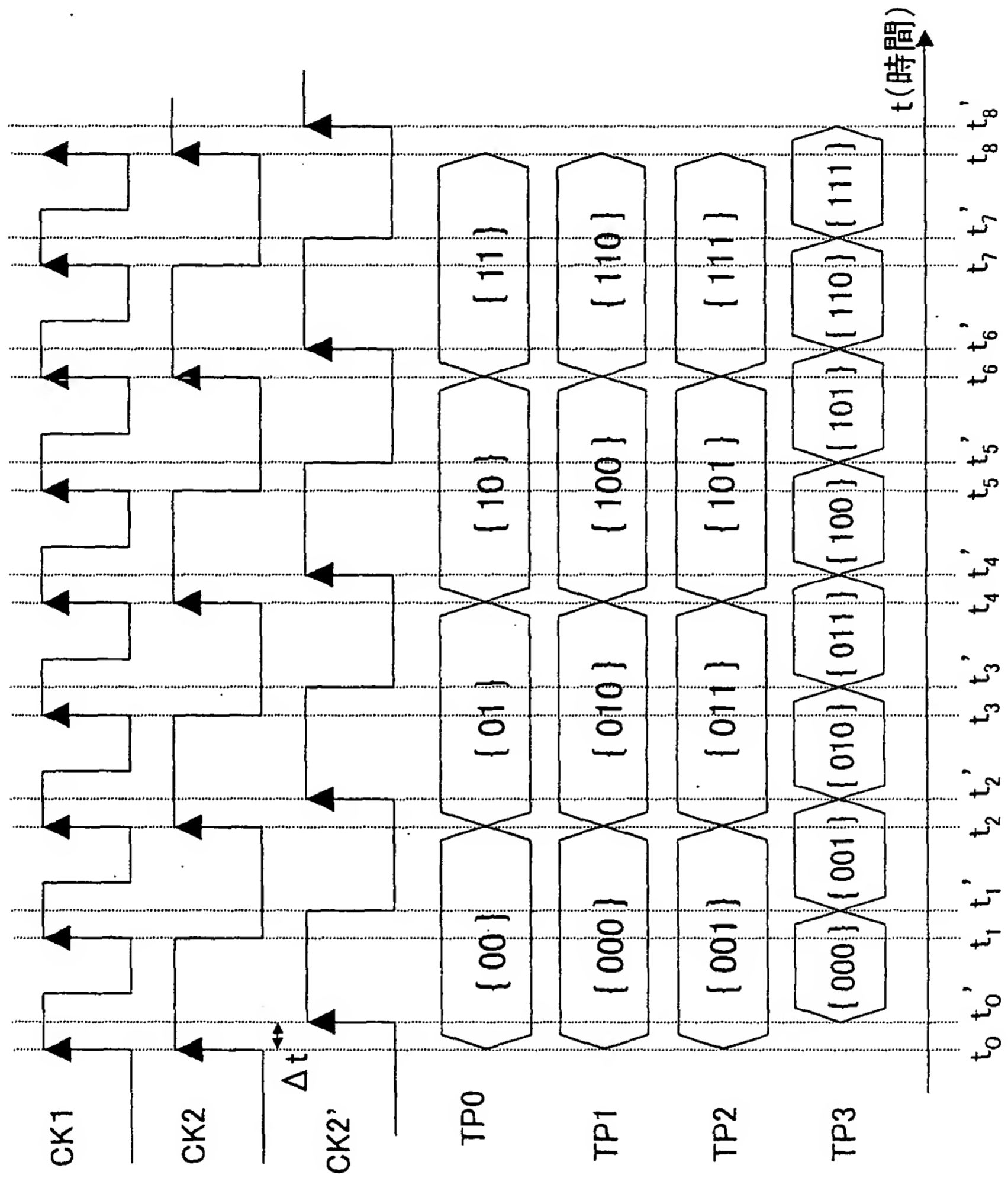
【図 7】



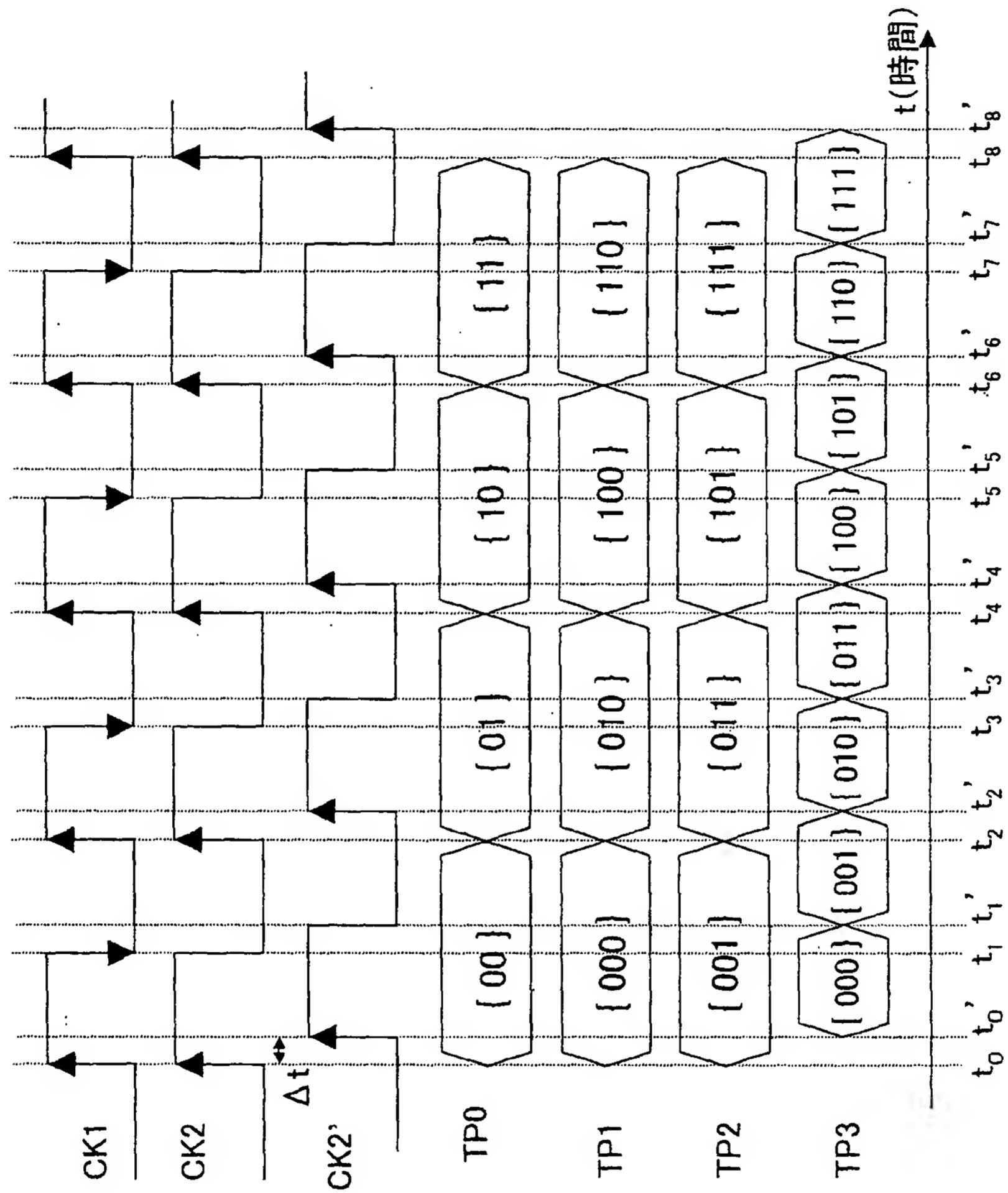
【図 8】



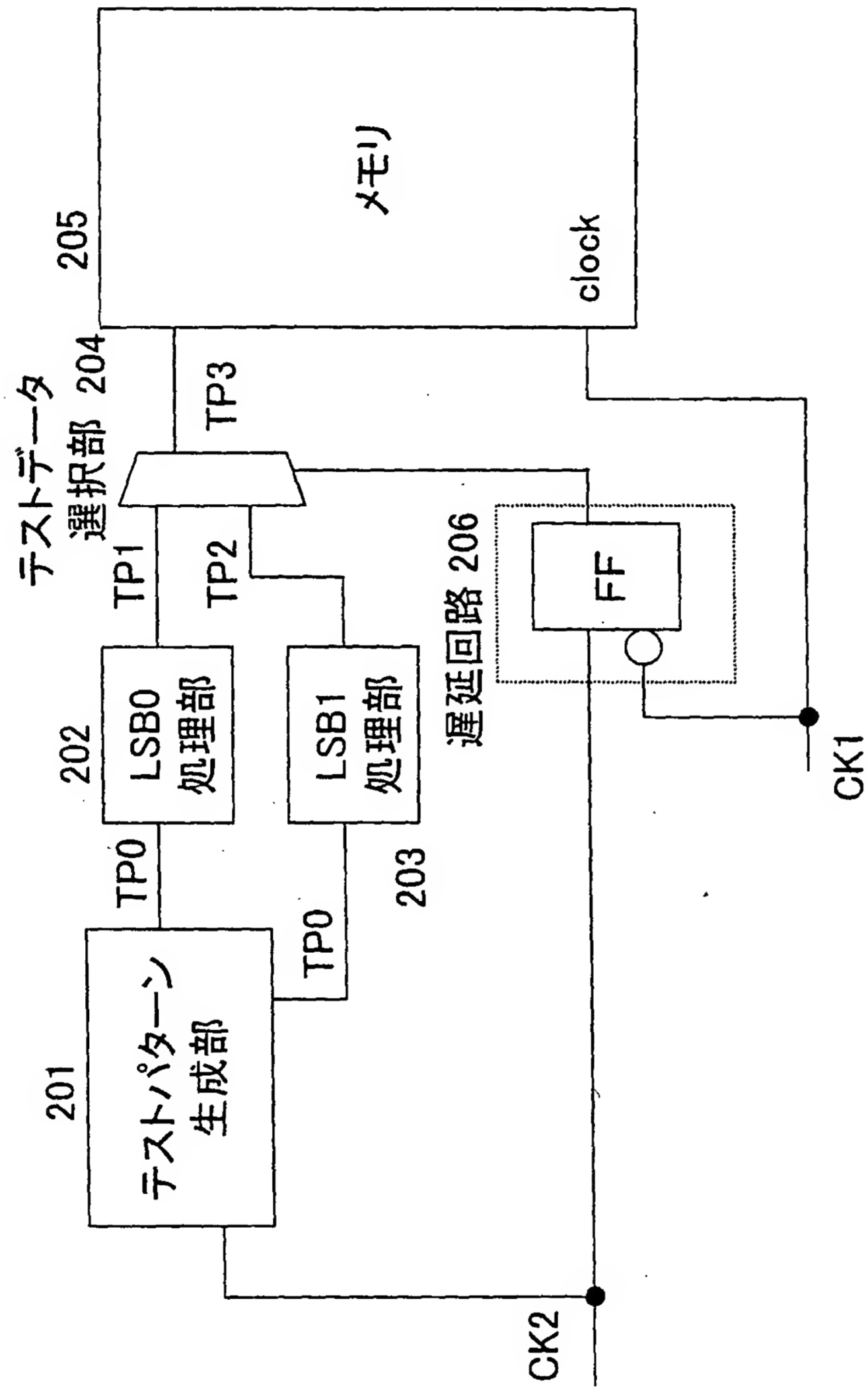
【図9】



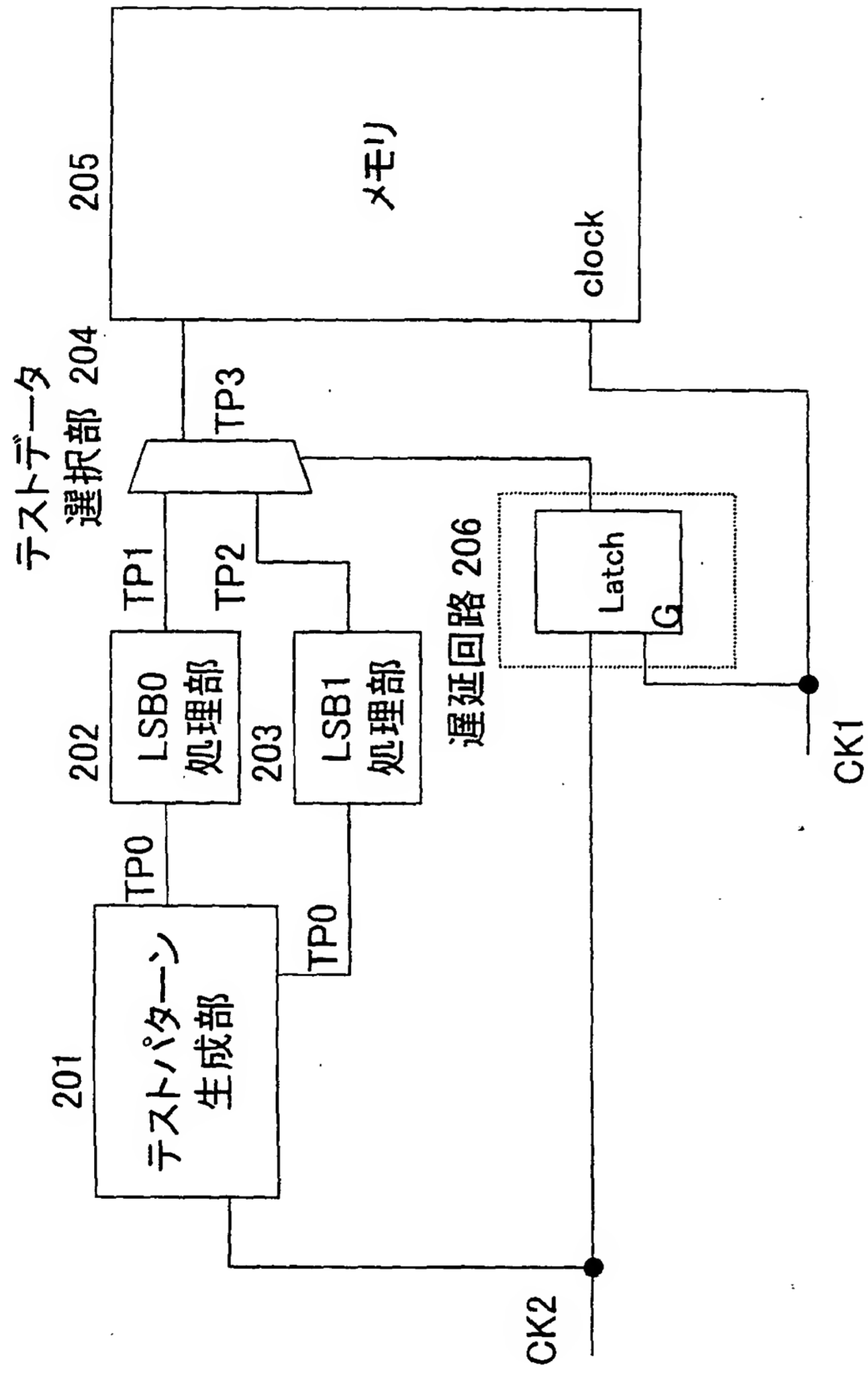
【図 10】



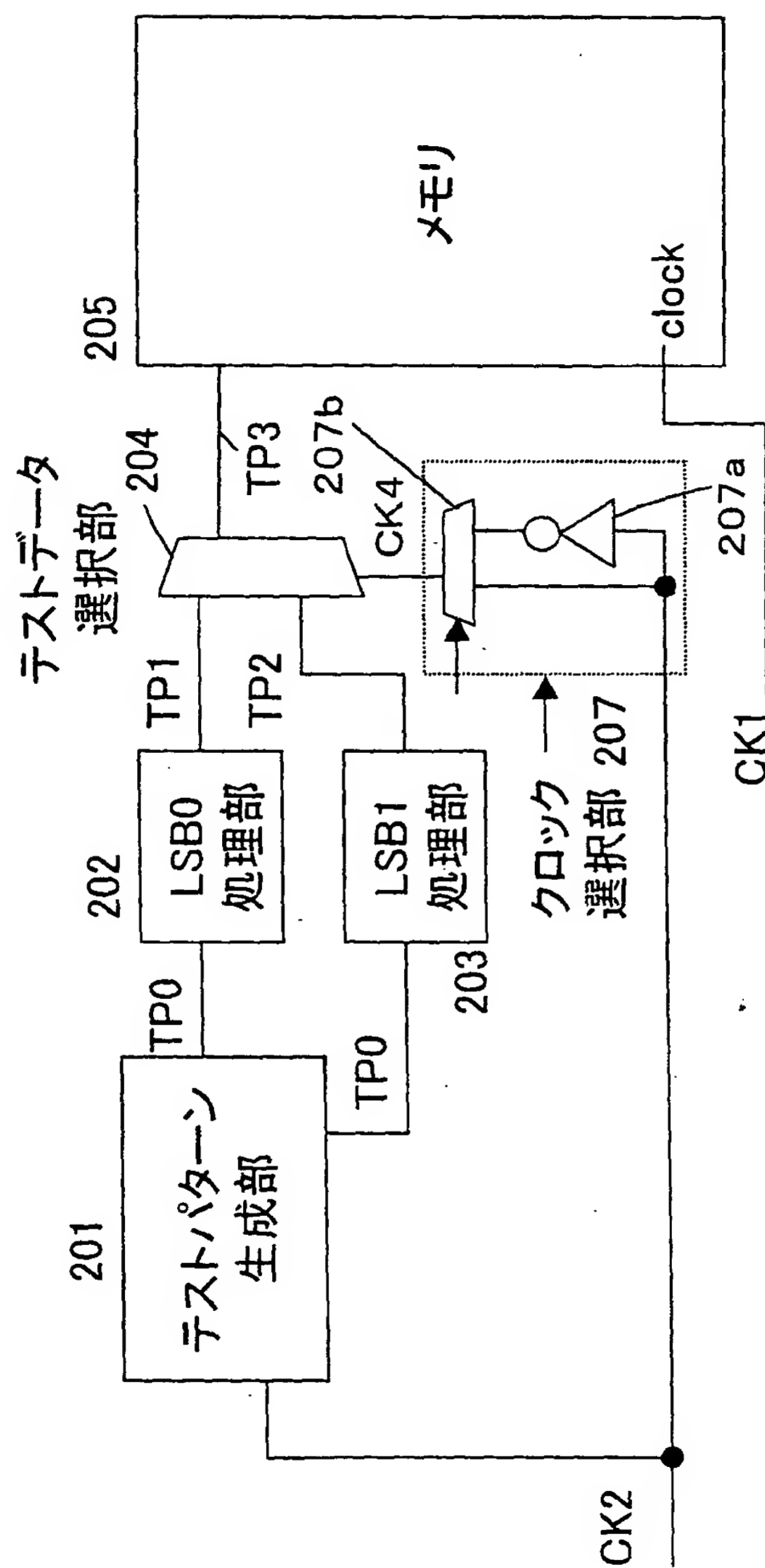
【図 1 1】



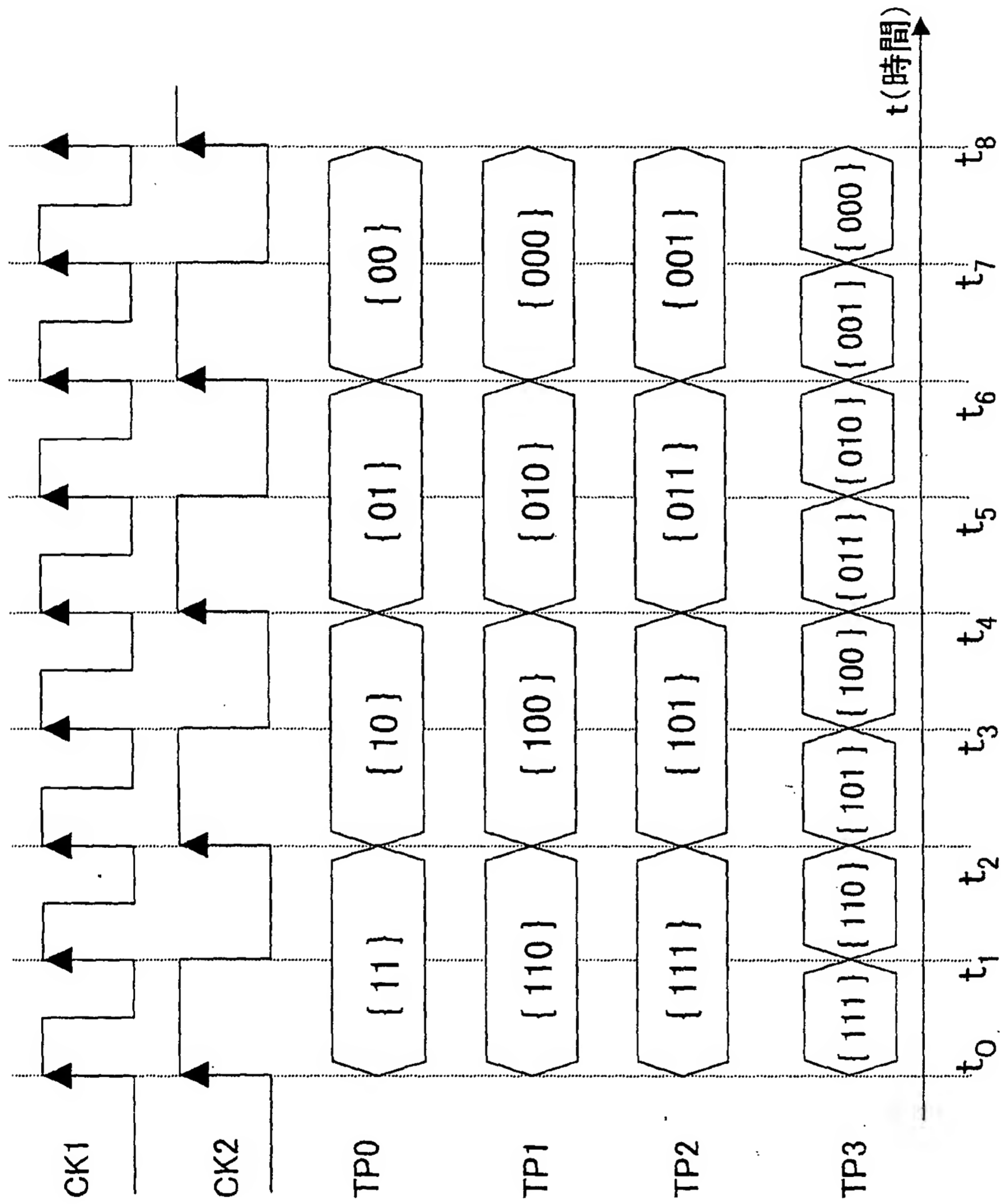
【図 1 2】



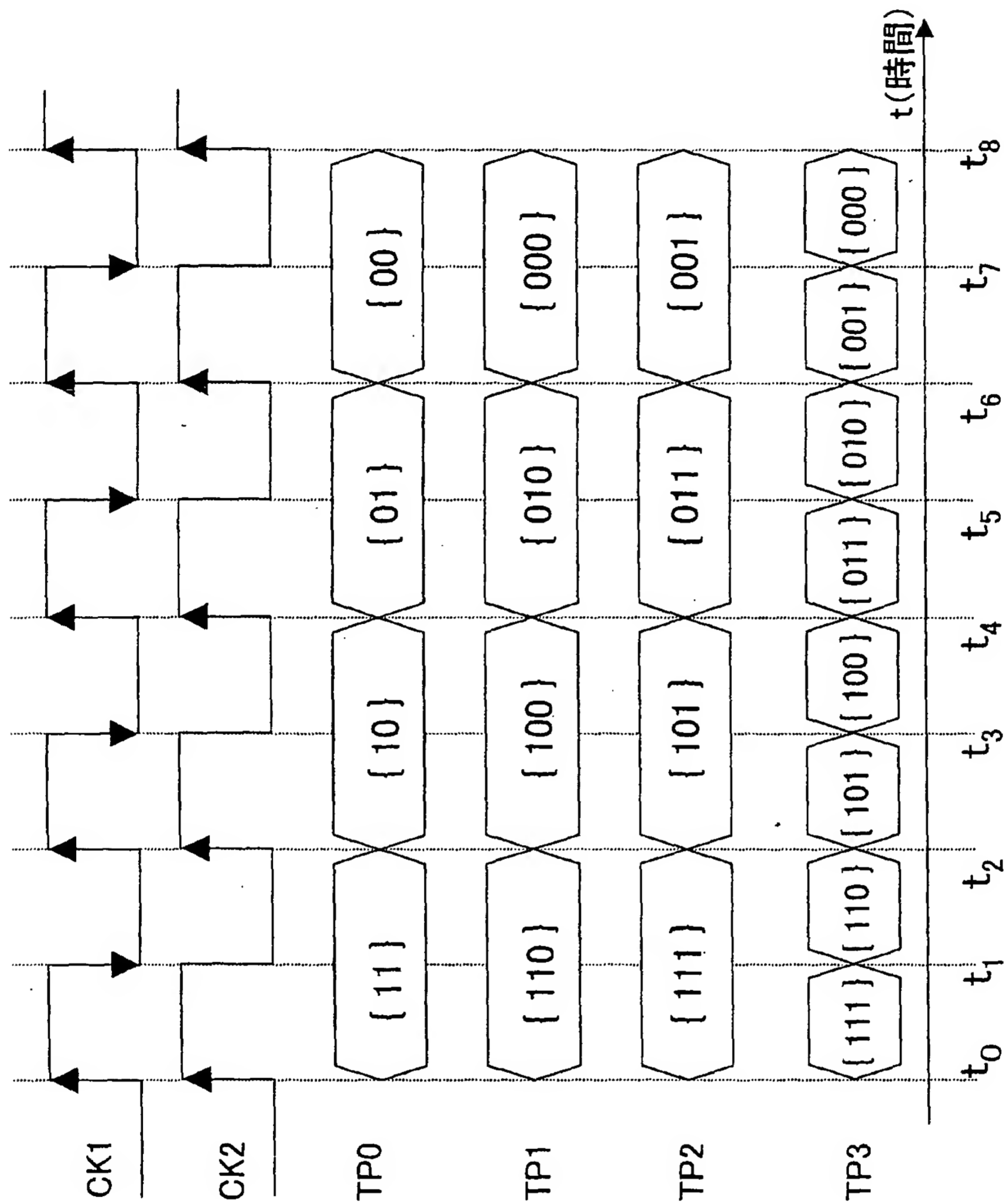
【図13】



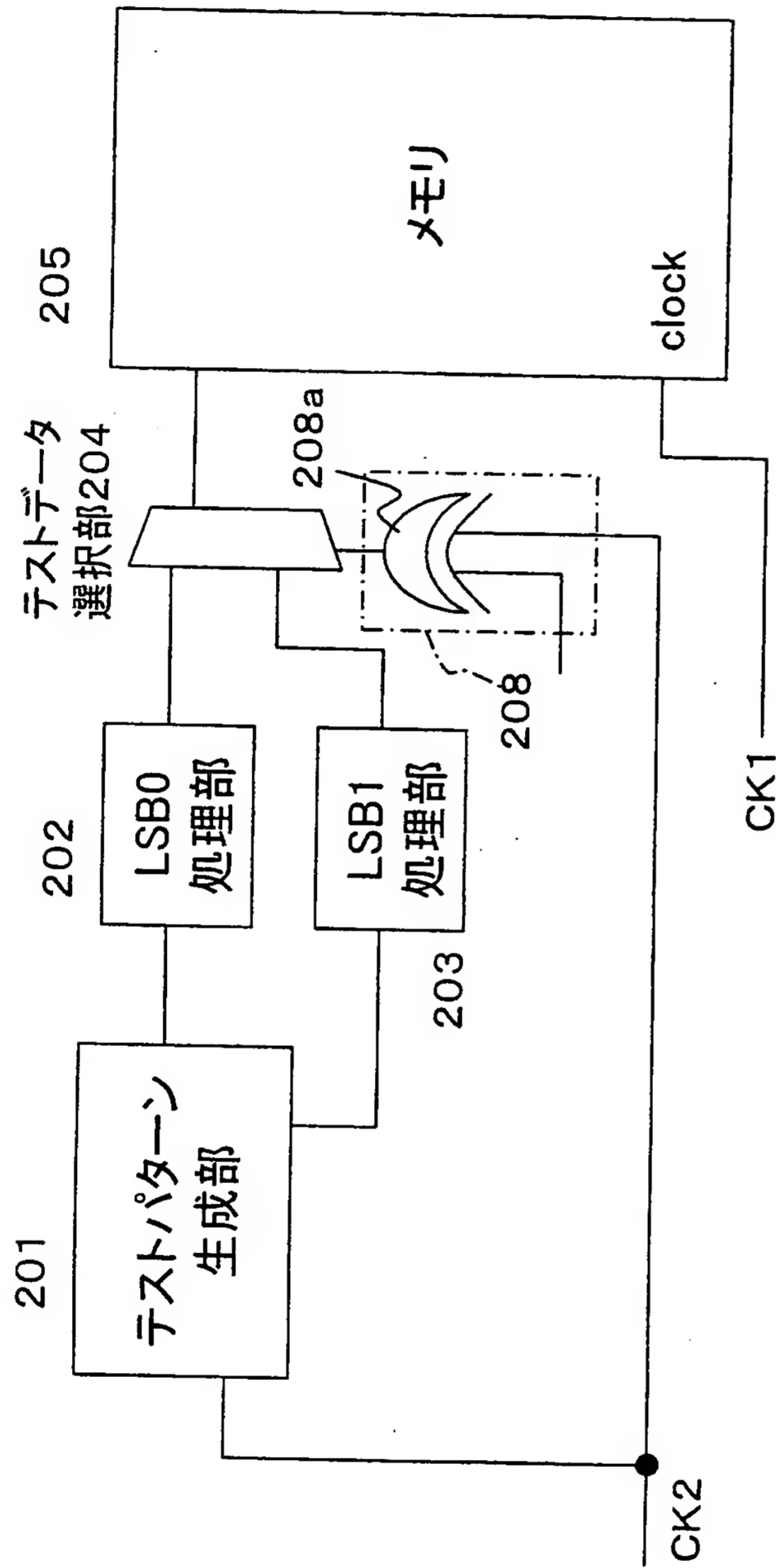
【図 1 4】



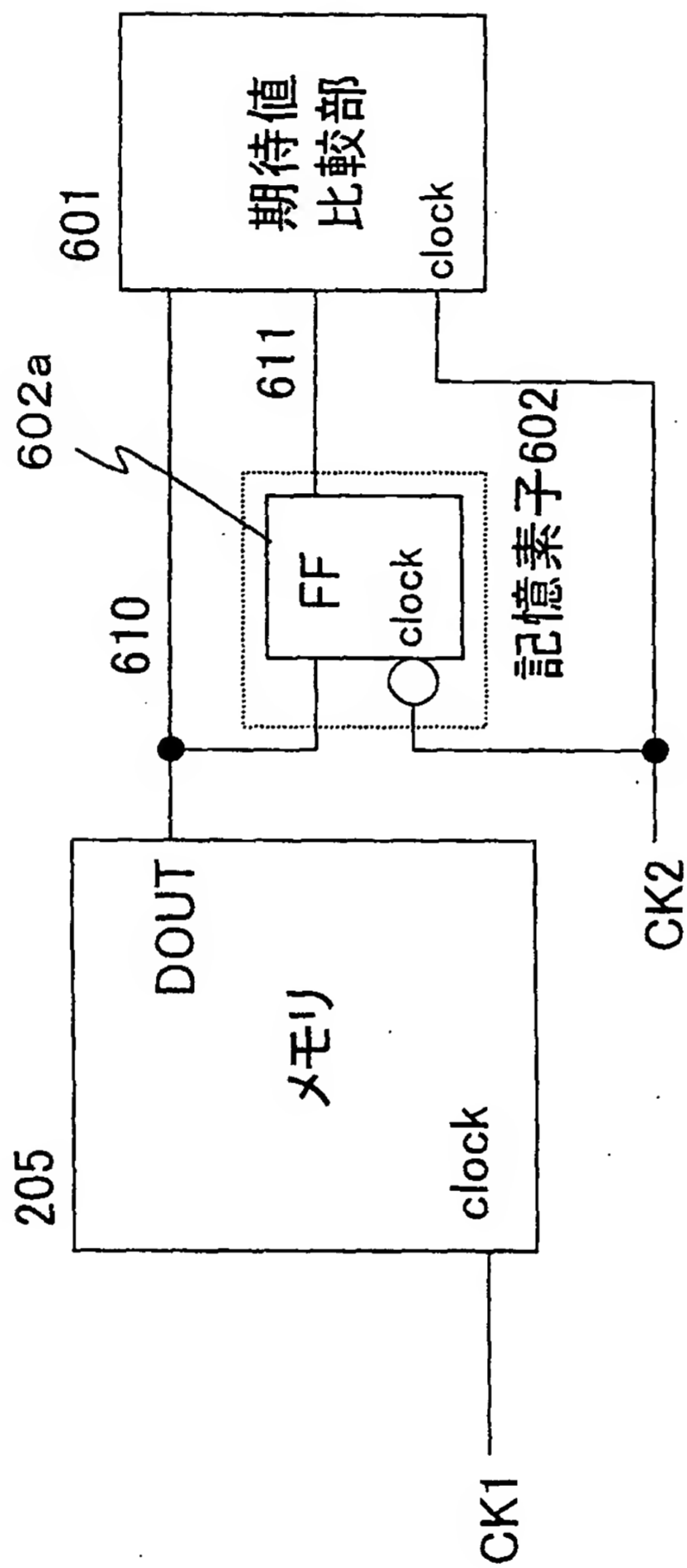
【図 1 5】



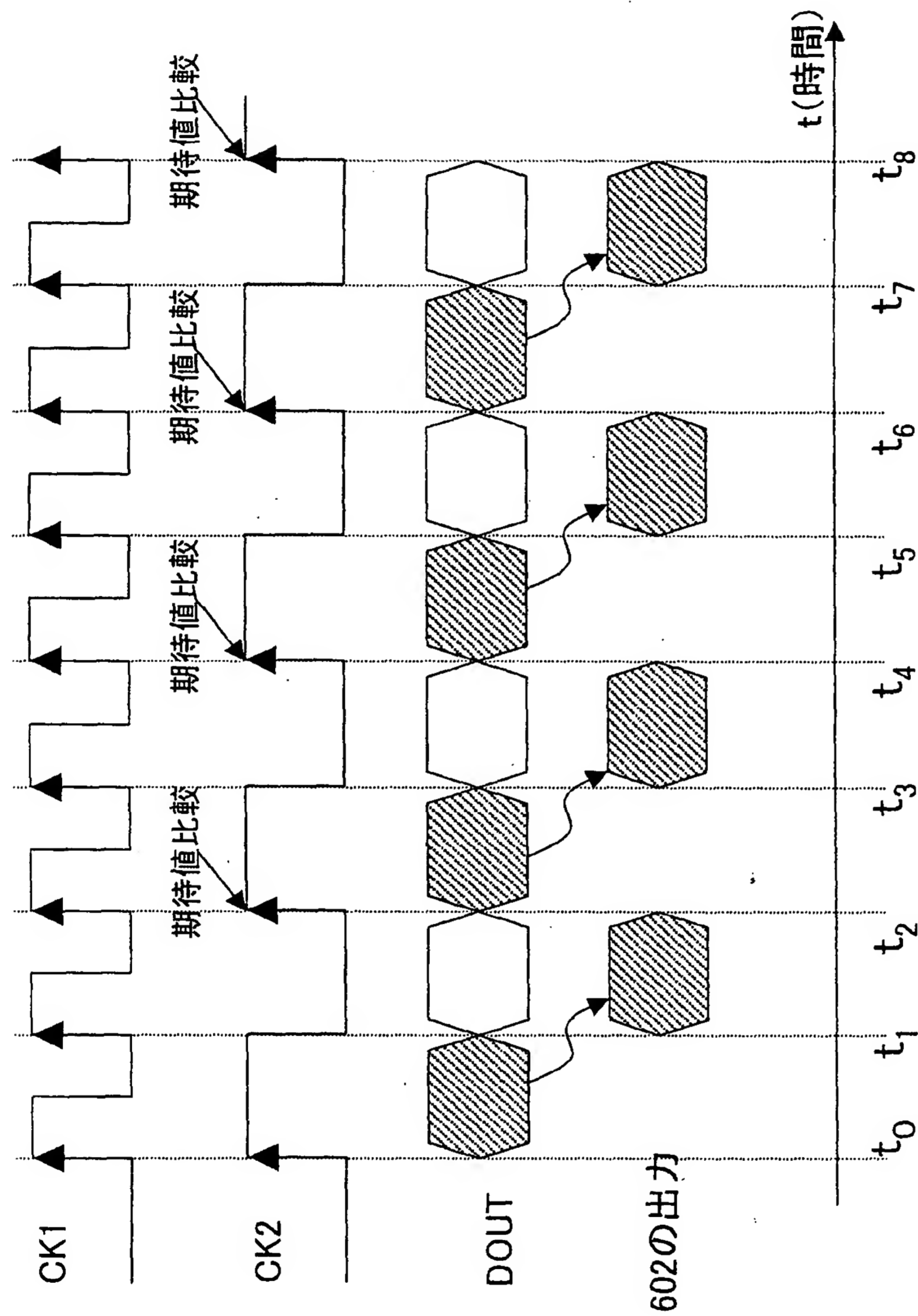
【図 1 6】



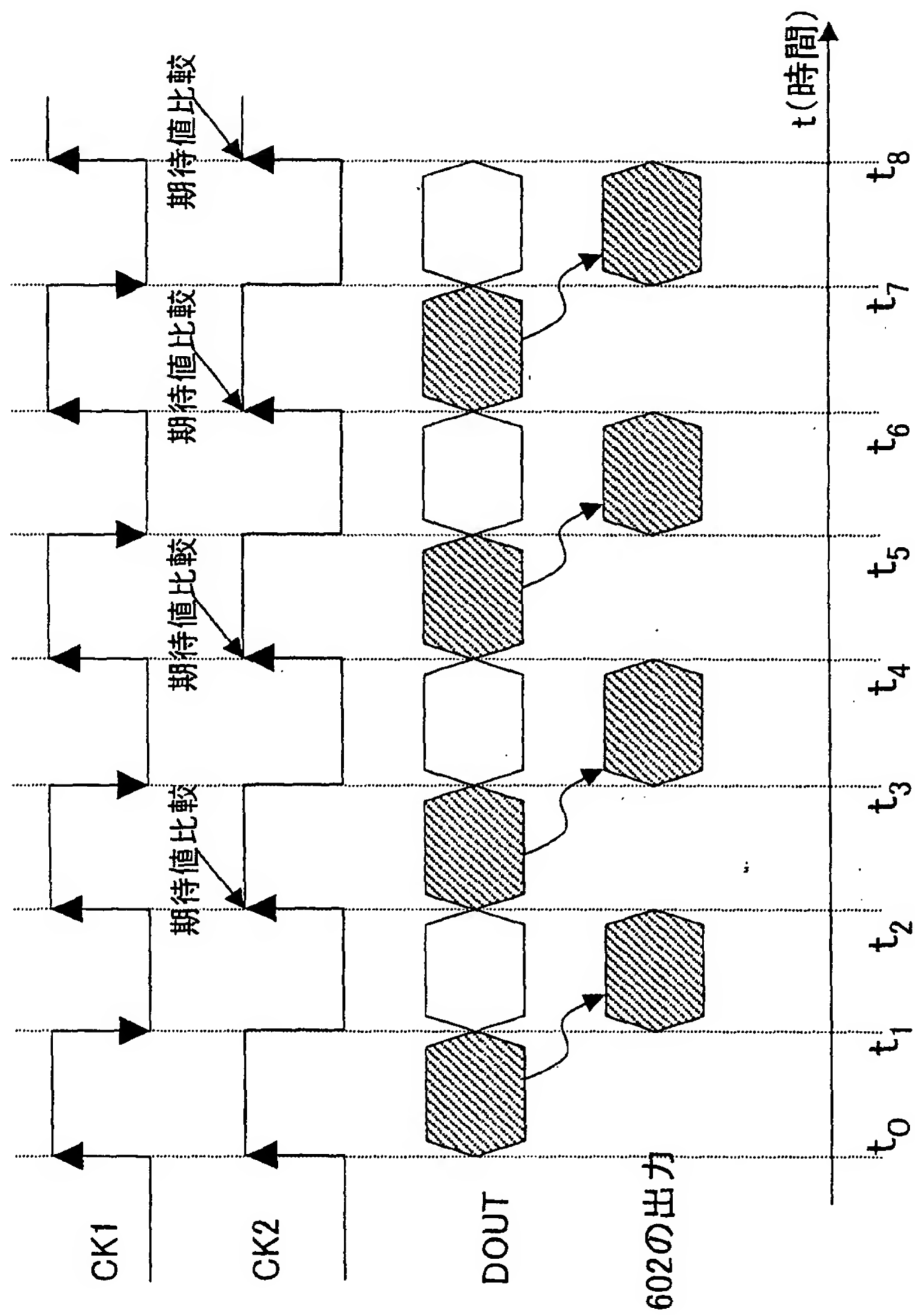
【図 17】



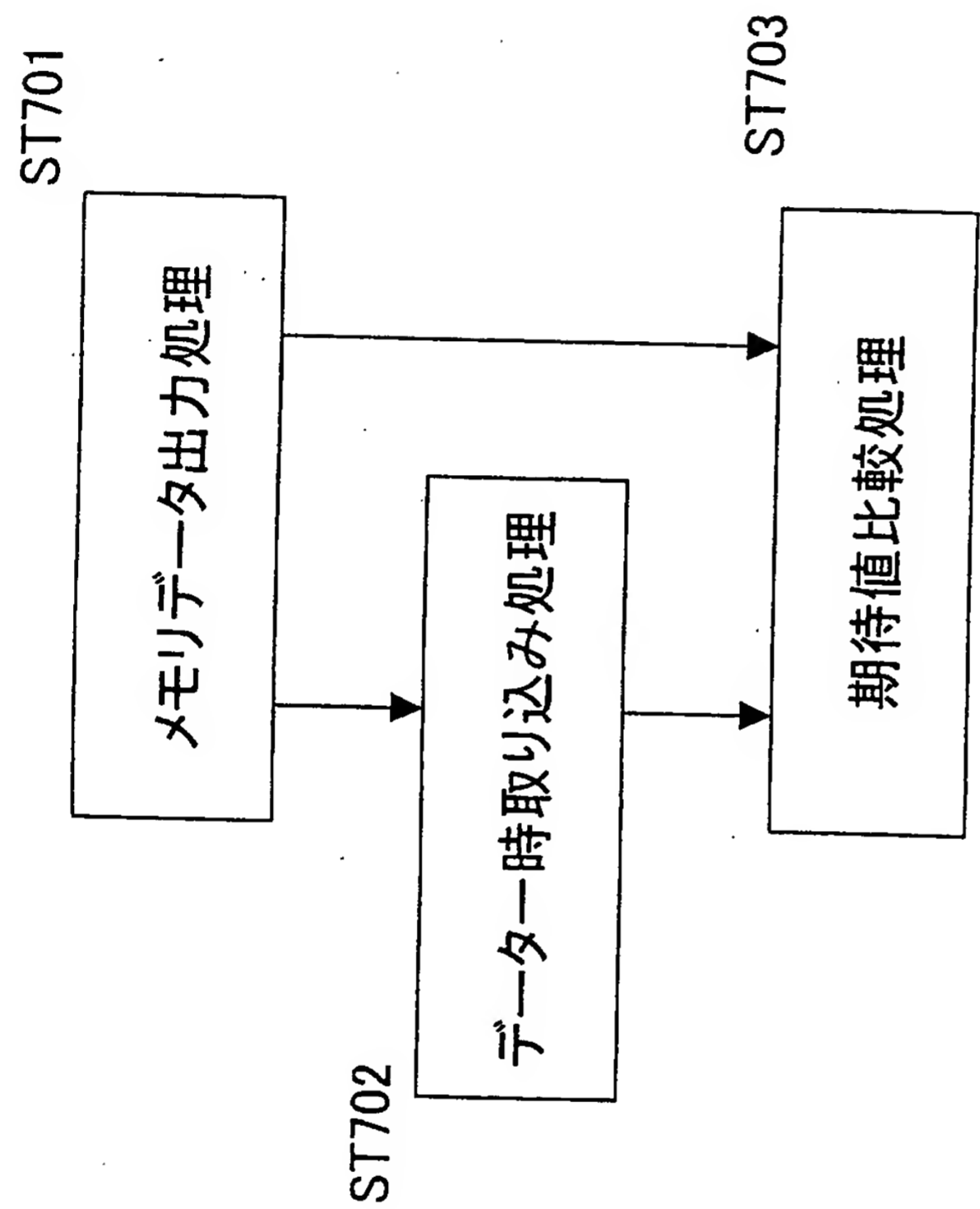
【図 18】



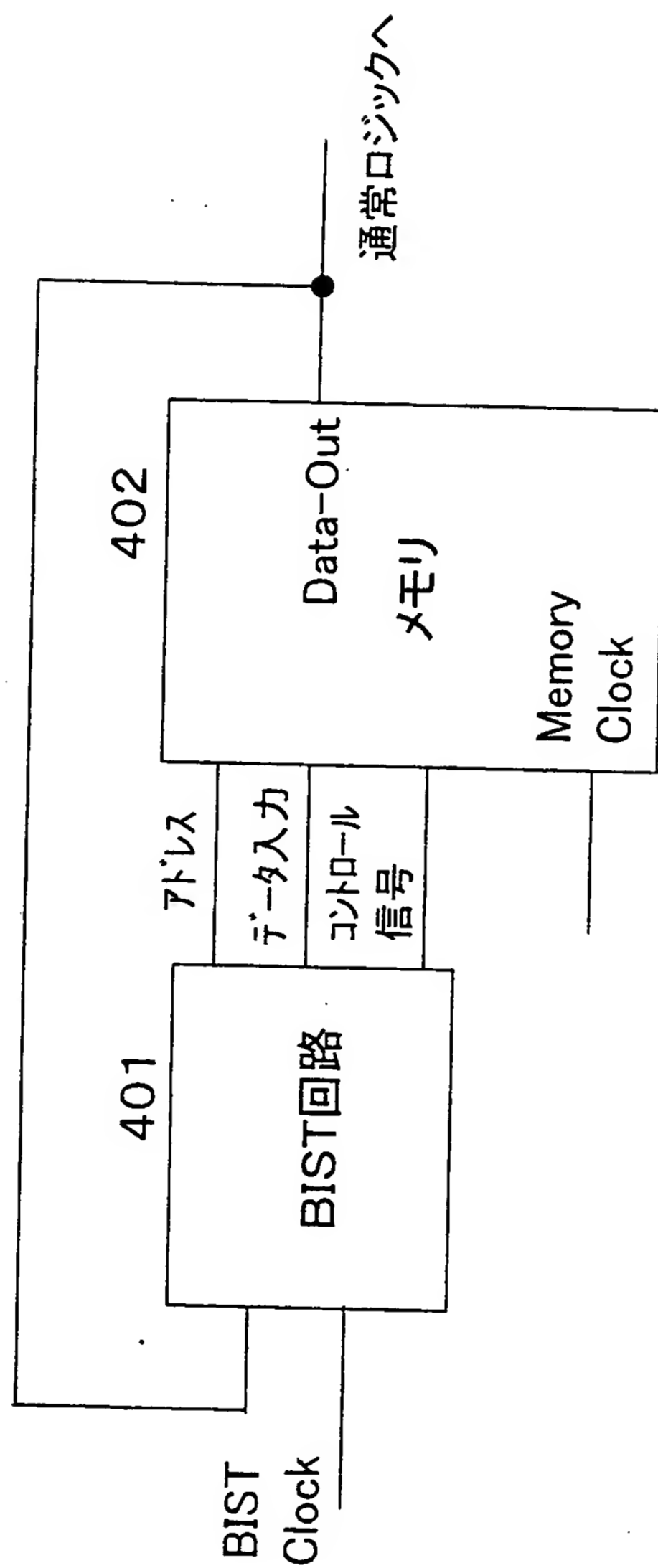
【図 1 9】



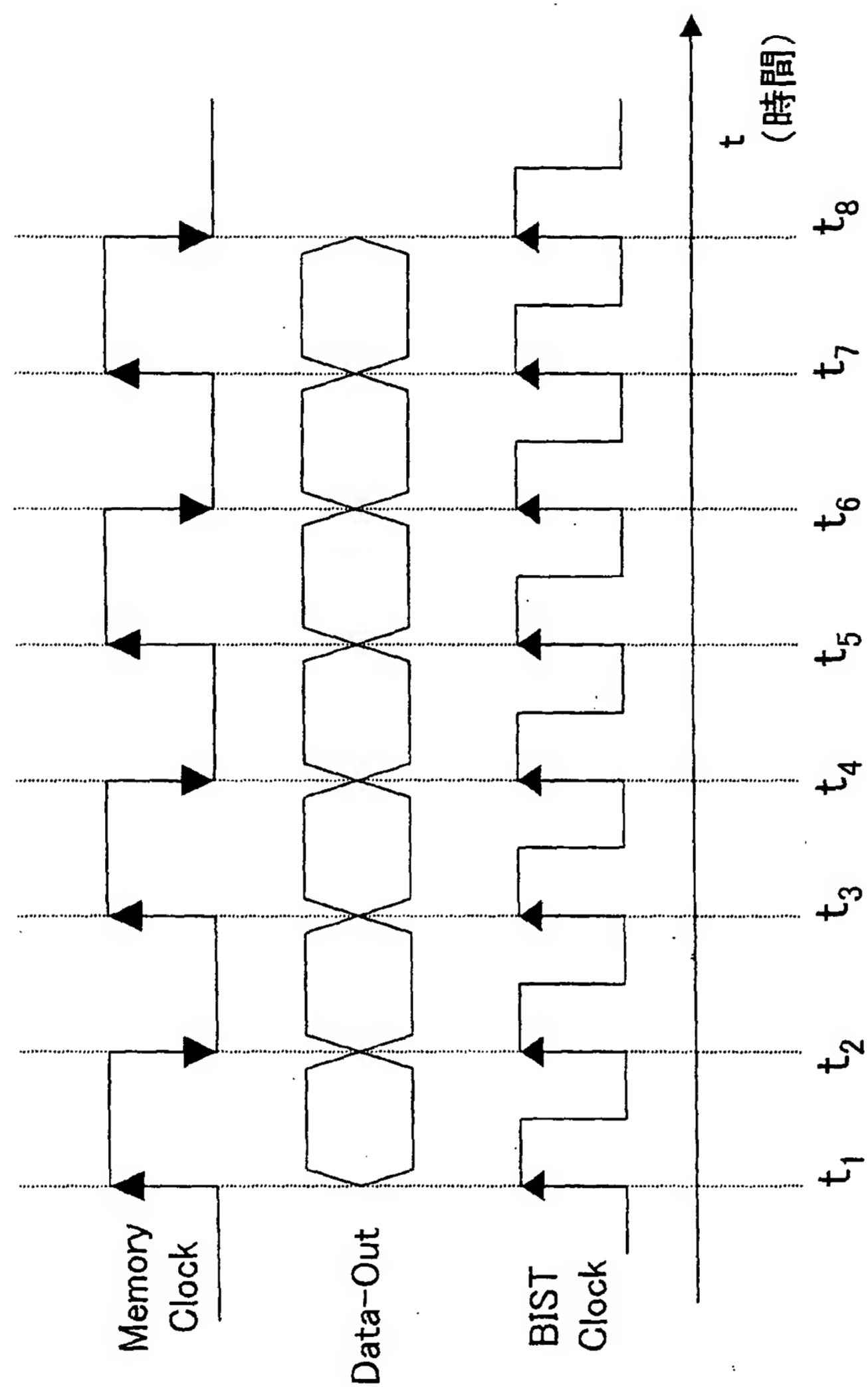
【図 2 0】



【図 2 1】



【図 22】



【書類名】 要約書

【要約】

【課題】 B I S T回路の動作速度を抑えて実動作速度で高速メモリのテストを実施できる半導体集積回路を提供する。

【解決手段】 第1のクロックCK1で動作するメモリ105をテストするために、第2のクロックCK2で動作し、テストデータを生成する第1のテストパターン生成部101と、第2のクロックCK2の反転クロックである第3のクロックCK3で動作し、テストデータを生成する第2のテストパターン生成部102と、第1のテストパターン生成部101および第2のテストパターン生成部102から出力されるテストデータを、第2のクロックCK2の信号値あるいは第3のクロックCK3の信号値によって選択的に出力し、メモリ105へテストデータとして入力するテストデータ選択部104とを設ける。第2のクロックCK2は第1のクロックの1/2の周波数とする。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2002-254181
受付番号	50201298797
書類名	特許願
担当官	第七担当上席 0096
作成日	平成14年 9月 2日

<認定情報・付加情報>

【提出日】	平成14年 8月30日
-------	-------------